

К. т. н. Ю. А. СЕМИШИН, к. т. н. Ю. Г. МАЙБА,
О. В. ЛИТВИНОВА

Украина, Одесский гос. политехнический ун-т,
Одесский госуниверситет им. И. И. Мечникова

Дата поступления в редакцию
28.12.1999 г.

Оппонент к. ф.-м. н. В. Л. МАЛОРИЯН

ОЦЕНКА ЭФФЕКТИВНОСТИ АТМ-КОММУТАТОРОВ МЕТОДОМ ИМИТАЦИОННОГО МОДЕЛИРОВАНИЯ

Разработана имитационная модель для оценки эффективности вариантов АТМ-технологии использования широкополосной цифровой сети интегрального обслуживания.

Внедрение новых и дорогостоящих технологий передачи информации ставит перед провайдерами задачи оценки эффективности предлагаемых решений с точки зрения стоимости аппаратного обеспечения и возможных эксплуатационных характеристик в условиях прогнозируемых значений параметров рабочей нагрузки. В число таких новых технологий в области коммуникаций входит АТМ-технология использования широкополосных цифровых сетей интегрального обслуживания [1].

Одним из подходов к получению оценок эффективности использования различных вариантов решений по выбору конфигурации сети и параметров отдельных функциональных блоков является метод имитационного моделирования [2]. К числу программных комплексов, обеспечивающих возможность разработки и исследования моделей подобных объектов, относится диалоговая автоматизированная система имитационного моделирования (ДАСИМ). В основе ее применения лежит непроектный подход к разработке и исследованию моделей [3, 4]. При этом от пользователя не требуется разработки имитационных программ, а модель сети представляет собой описание структуры объекта, связей между ними и алгоритмов управления.

В настоящей работе в качестве объекта исследования рассматривается широкополосная цифровая сеть интегрального обслуживания, предназначенная для обеспечения связи между локальными сетями с использованием асинхронного режима переноса информации (рис. 1). Исследуемый объект обеспечивает передачу АТМ-ячеек между I сорокапортовыми транзитными коммутаторами. При этом выбор трактов связи осуществляется с использованием центрального АТМ-коммутатора.

Для решения задачи оценки эффективности применения широкополосной цифровой сети интегрального обслуживания была разработана имитационная модель, в структуре которой следующие подмодели:

— рабочей нагрузки, формируемой в результате обмена информацией между локальными сетями;

— транзитного коммутатора, выполняющего мультиплексирование Frame Relay-кадров от разных источников и преобразование их в АТМ-ячейки для передачи в центральный АТМ-коммутатор;

— центрального АТМ-коммутатора, обеспечивающего передачу ячеек соответствующему транзитному коммутатору;

— блока сборки АТМ-ячеек в пакет Frame Relay;

— блока коммутации выходящего пакета;

— обработки полученных сообщений;

— транспортной сети, отражающей структуру исследуемого объекта.

Перечисленные подмодели компонентов цифровой сети интегрального обслуживания предназначены для моделирования задержек, возникающих при транспортировке информации между абонентами сети. В качестве источников и адресатов рассматриваются локальные сети, соединенные посредством выделенных каналов с транзитными коммутаторами.

Модель рабочей нагрузки предназначена для имитации процессов генерации потока заявок на передачу информации от источника к адресату, преобразования поступающих заявок к потоку Frame Relay-кадров, их буферизации, передачи на вход модели транзитного коммутатора, а также приема информации от других абонентов сети (рис. 2).

В структуру модели входят $I \times J$ (J – количество портов транзитного коммутатора) обслуживающих устройств типа (b, ij) и устройство (увн.1).

Устройство (увн.1) предназначено для генерации потоков сообщений, имитирующих обмен информацией между абонентами сети. В модели каждому абоненту поставлен в соответствие поток требований I_{ij} ($i=1, \dots, I$ – индекс транзитного коммутатора; $j=1, \dots, J$ – номер порта). Каждый источник характеризуется частотой появления запросов на передачу данных, параметрами длины генерируемых требований и пунктами назначения. Параметр длины требования используется для определения количества Frame Relay-кадров, генерируемых на выходе устройства (увн.1). Сгенерированные заявки, имитирующие поток Frame Relay-кадров, поступают на вход соответствующих устройств (b, ij) . В исходном состоянии устройства (b, ij) свободны. Первое поступившее требование передается на обслуживание. Длительность этой операции эквивалентна времени транспортировки кадра по каналу связи на вход транзитного коммутатора. По завершению пе-

АППАРАТУРА СВЯЗИ



Рис. 1. Структура исследуемого объекта

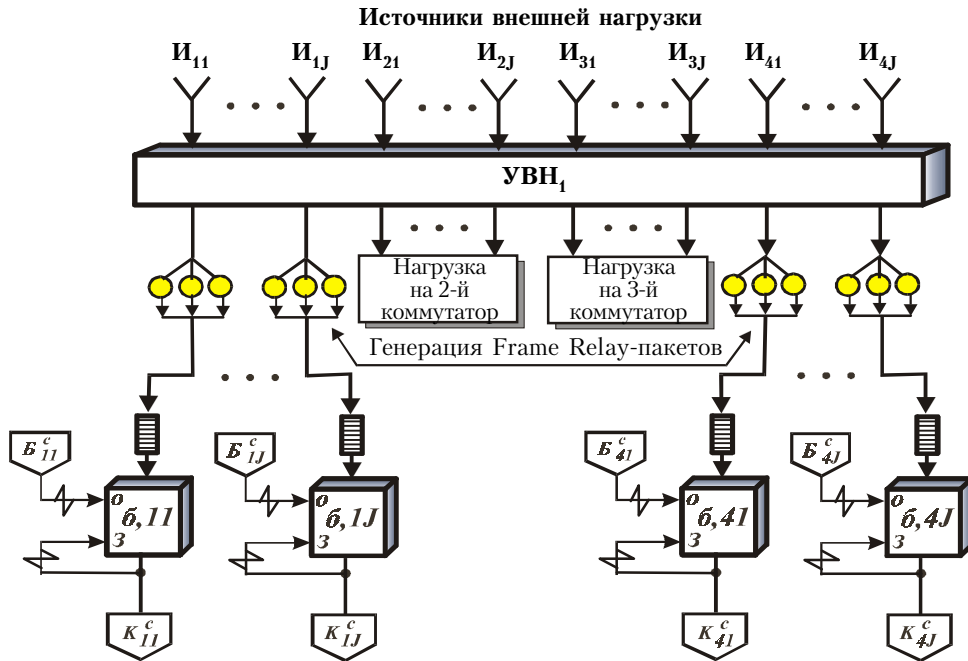


Рис. 2. Схема модели рабочей нагрузки

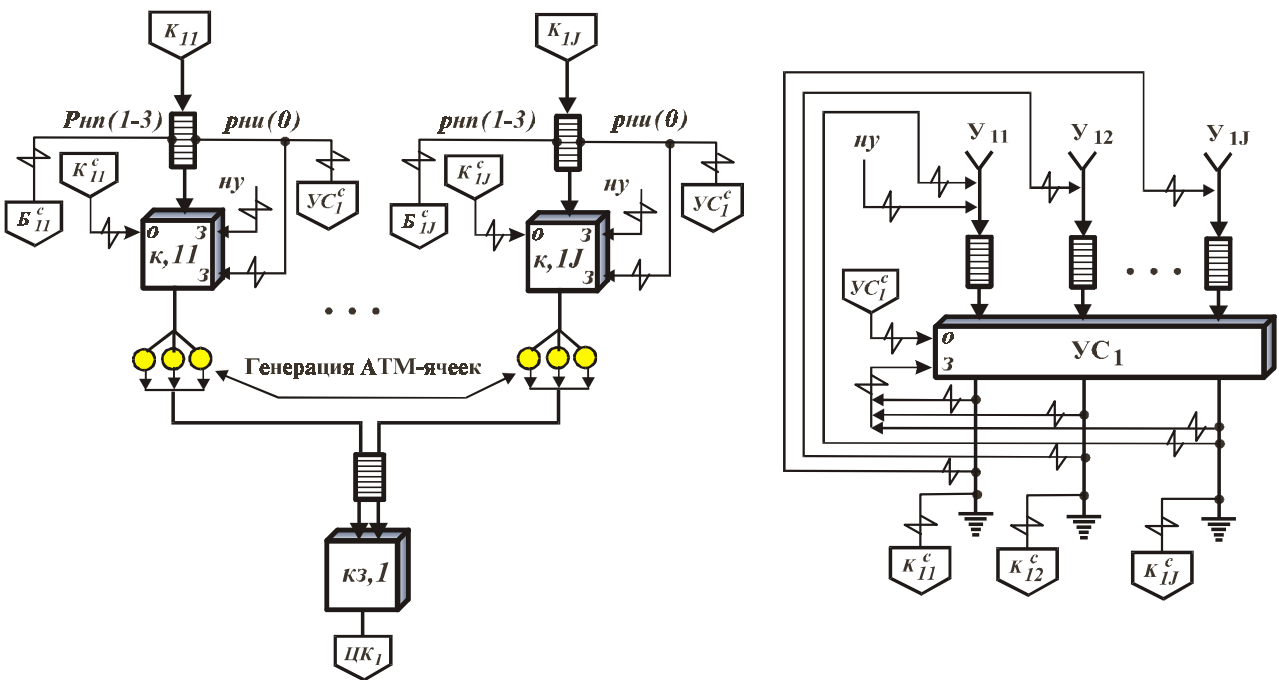


Рис. 3. Схема модели транзитного коммутатора

редачи требования устройство блокируется. В результате остальные требования устанавливаются в очередь. Следующее требование обслуживается только после прибытия сигнала включения устройства (\mathbf{B}_{ij}^c), поступающего из модели транзитного коммутатора. Посредством этого сигнала осуществляется регулирование трафика от каждого источника загрузки. Если в буфере транзитного коммутатора имеется место в памяти для записи очередного кадра, то генерируется сигнал включения устройства \mathbf{B}_{ij} . При поступлении сигнала в канал передается следующий кадр. Тем самым обеспечивается гарантированная полоса пропускания для каждого порта.

Модель транзитного узла коммутации предназначена для имитации процессов мультиплексирования внешней нагрузки, процедуры упаковки Frame Relay-кадров в АТМ-ячейки и последующей их передачи по каналу связи в центральный коммутатор (рис. 3).

В состав модели входят $\mathbf{I} \times \mathbf{J}$ устройств (\mathbf{k}, \mathbf{ij}), а также устройства (\mathbf{kz}, \mathbf{i}) и (\mathbf{yc}, \mathbf{i}). С помощью этих устройств моделируется алгоритм циклической обработки портов коммутатора, обеспечивающих прием и передачу пакетов.

Устройства (\mathbf{k}, \mathbf{ij}) предназначены для буферизации Frame Relay-кадров, поступающих по каналам связи с выхода модели рабочей нагрузки. В исходном состоянии эти устройства с помощью сигнала начальной установки \mathbf{ny} блокируются. Поэтому поступающие требования устанавливаются в очередь к устройству. В момент установки требования в очередь посредством реакции на постановку $\mathbf{pni}(1-N)$ генерируется сигнал включения устройства (\mathbf{b}, \mathbf{ij}). Он инициирует процесс передачи следующего пакета в буфер транзитного коммутатора. Механизм реакций задает регламент, при котором в момент установки в очередь 1-го, 2-го и \mathbf{N} -го пакетов генерируются указанные сигналы. По прибытии $\mathbf{N}+1$ -го пакета такой сигнал не выдается. Следовательно, во входной буфер устройства можно записать не более чем $\mathbf{N}+1$ требование. Тем самым обеспечивается гарантированная полоса пропускания для любого порта транзитного коммутатора. Активизация процесса обслуживания требований, находящихся в очереди, осуществляется сигналом \mathbf{K}_{ij}^c , генерируемым устройством управления циклическим обслуживанием портов. После поступления этого сигнала производится разблокировка устройства. Требования, находящиеся во входном буфере, извлекаются из очереди и передаются на обслуживание. Длительность этой операции эквивалентна времени, затрачиваемому на упаковку Frame Relay-кадра в АТМ-ячейки [1]. При этом количество генерируемых ячеек определяется автоматически путем деления длины Frame Relay-кадра (без учета синхронизации и CRC) на длину информационной части АТМ-ячейки. Далее сгенерированные ячейки поступают на обслуживание к устройству (\mathbf{kz}, \mathbf{i}), моделирующему задержку в канале связи, соединяющем транзитный и центральный коммутаторы. По завершении обработки последнего требования возникает реакция на пустое состояние очереди $\mathbf{pni}(0)$. В результате этого генерируются два сигнала. Пер-

вый сигнал блокирует исходное устройство, возвращая его тем самым в исходное состояние, а второй сигнал (\mathbf{YC}_{ij}^c) производит включение устройства (\mathbf{yc}, \mathbf{i}).

Устройство (\mathbf{yc}, \mathbf{i}) предназначено для управления процессом циклического обслуживания портов. На входе устройства установлены \mathbf{J} управляемых источников, генерирующих требования только с помощью сигнала «**включить источник**». При этом каждому устройству (\mathbf{k}, \mathbf{ij}) поставлен в соответствие управляемый источник \mathbf{Y}_{ij} , осуществляющий его включение. В момент запуска модели на выполнение с помощью сигнала начальной установки (\mathbf{ny}) осуществляется запуск управляемого источника \mathbf{Y}_{i1} . Сгенерированное требование немедленно передается на обслуживание. Длительность этой операции эквивалентна задержке, связанной с переходом к обслуживанию следующего порта. На выходе устройства \mathbf{Y}_{i1} требование покидает систему (на рис. 3, 6 и 7 это обозначено знаком "заземление"), генерируя сигнал блокировки исходного устройства, включения устройства ($\mathbf{k}, \mathbf{i1}$) и запуска следующего источника. После включения управляемого источника \mathbf{Y}_{i2} на вход к устройству устанавливается требование, которое инициирует обработку следующего порта. После обслуживания требования, соответствующего последнему порту, вновь производится запуск первого управляемого источника. Тем самым осуществляется переход к очередному циклу обработки портов.

Модель АТМ-коммутатора предназначена для имитации процедуры коммутации, которая заключается в передаче АТМ-ячеек из входного буфера в выходной для последующей передачи его в соответствующий транзитный коммутатор. При этом выбирается такой коммутатор, который обеспечивает доставку передаваемой информации в пункт назначения. В структуру модели входят блок буферизации входных сообщений, устройство сканирования входных буферов ($\mathbf{цкв}, \mathbf{1}$), коммутации АТМ-ячеек ($\mathbf{вбф}, \mathbf{1}$) и блок имитации выходных каналов (рис. 4).

Блок буферизации входных сообщений предназначен для управления алгоритмом обслуживания входных буферов центрального коммутатора. В его структуру входят \mathbf{I} устройств типа (\mathbf{c}, \mathbf{i}), обеспечивающих последовательную передачу АТМ-ячеек для выполнения процедуры коммутации. В исходном состоянии устройство (\mathbf{c}, \mathbf{i}) находится в положении «свободно». Пакет, поступающий во входной буфер приемника, немедленно поступает на обслуживание. Длительность этой операции эквивалентна задержке, связанной с передачей пакета из буфера приемника канала в буфер центрального коммутатора для непосредственного выполнения операции коммутации. После записи пакета в буфер к устройству ($\mathbf{цкв}, \mathbf{1}$) исходное устройство блокируется.

Процедура коммутации АТМ-ячеек моделируется устройством ($\mathbf{цкв}, \mathbf{1}$). На вход устройства поступают пакеты, которые по прибытии устанавливаются в очередь к устройству. Обслуживание очередей выполняется в соответствии с циклическим алгоритмом. При наличии пакета во входном буфере

АППАРАТУРА СВЯЗИ

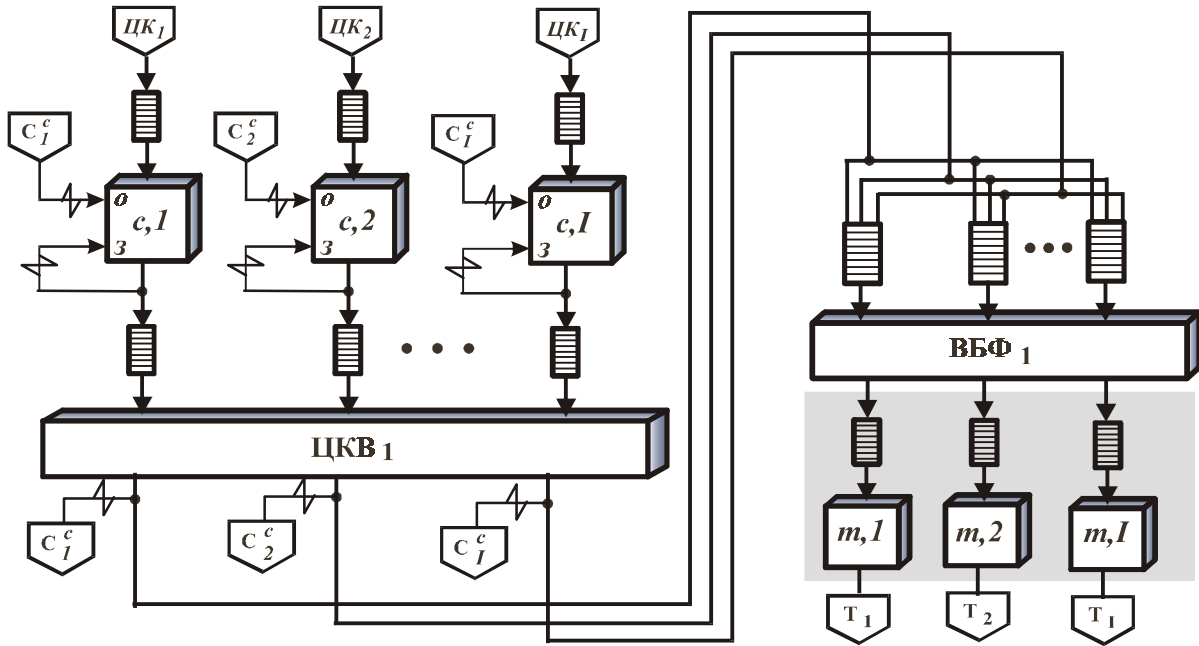


Рис. 4. Схема модели центрального коммутатора

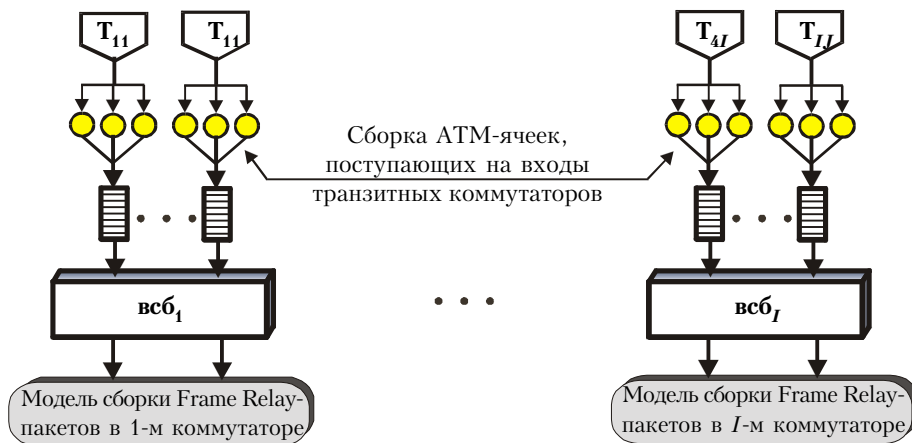


Рис. 5. Схема модели сборки ATM-ячеек

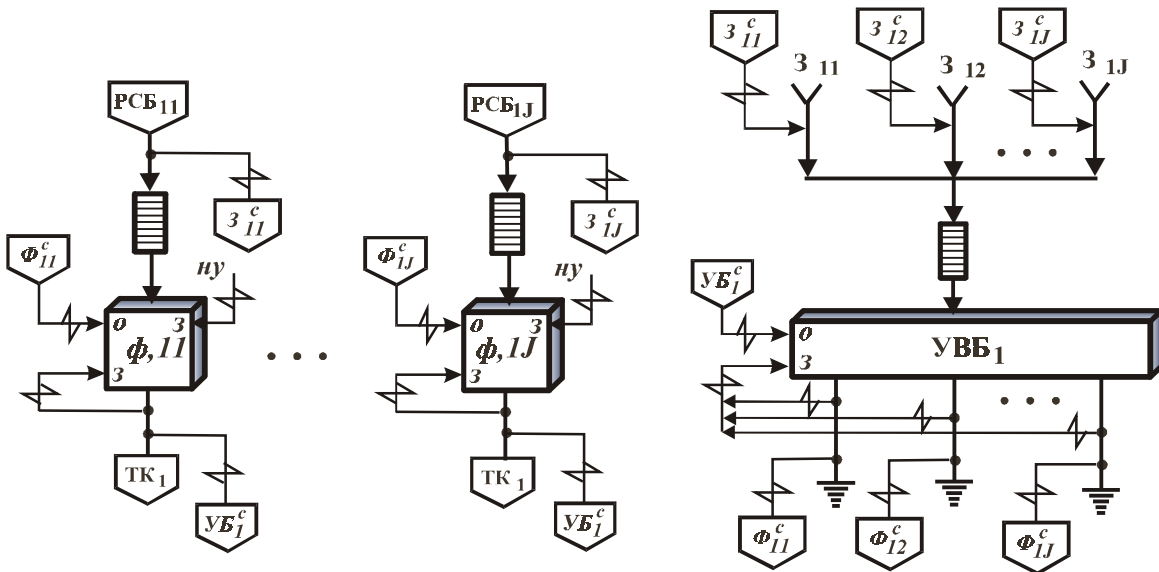


Рис. 6. Схема модели коммутации выходящего потока

соответствующее требование извлекается из очереди и передается на обслуживание. Длительность этой операции эквивалентна задержке, возникающей при записи пакета в выходной буфер порта, обеспечивающего доставку пакета в пункт назначения. На выходе устройства ($цкв,1$) генерируется сигнал разблокировки ($С^c_i$) устройства ($с,i$). После этого в буфер коммутатора производится запись следующего пакета.

Моделирование процессов обслуживания выходных буферов осуществляется устройством ($вбф,1$). На входе устройства формируются очереди, предназначенные для буферизации пакетов, направляемых в соответствующие транзитные коммутаторы. Критерием для формирования очередей являются номера потоков. Они однозначно определяют номер очереди. Например, если поток с номером 1 направляется абонентам, подключенным к первому коммутатору, то он указывается в описании первой очереди и т. д. Таким образом, операция коммутации заключается в передаче заявки в соответствующую очередь.

Моделирование задержек в каналах связи, соединяющих центральный и транзитный коммутаторы, выполняется посредством блока имитации выходных каналов ($m,1$)–(m,I). На входе каждого устройства формируется очередь. Передача пакетов на входы этих устройств осуществляется с использованием средств вероятностного планирования.

Модель блока сборки АТМ-ячеек предназначена для имитации задержки, связанной с выполнением процедуры буферизации пакетов и последующей сборкой их в Frame Relay-кадры (рис. 5).

В структуру блока входят I обслуживающих устройств ($всб,1$)...($всб,I$), каждое из которых имитирует операцию сборки АТМ-ячеек на выходе соответствующего транзитного коммутатора. Поскольку функционирование портов транзитных коммутаторов осуществляется в дуплексном режиме, то обработку входящих и исходящих пакетов можно моделировать с помощью отдельных устройств, разделяя тем самым процедуры обслуживания по приему и передаче пакетов.

Детально процесс их функционирования рассмотрим на примере первого устройства. Поступающие на вход устройства требования (АТМ-ячейки) устанавливаются в очередь и находятся в ней до момента поступления последней ячейки, с помощью которой транспортировался Frame Relay-кадр. Сборка пакетов производится автоматически, т. к. устройство ($всб,1$) указано в качестве пункта назначения при описании процедуры их генерации. Собранное требование немедленно передается на обслуживание. Длительность этой операции эквивалентна времени, необходимому для выполнения процедуры сборки. После завершения сборки полученный кадр записывается в буфер передатчика, входящего в состав соответствующего порта.

Модель блока коммутации выходящего потока предназначена для моделирования задержек, возникающих при передаче Frame Relay-кадров из буфера передатчика транзитного коммутатора на вход

оконечного устройства сборки пакетов в исходное сообщение (рис. 6).

В структуру модели входят $I \times J$ устройств типа ($ф,ij$) и устройство управления передачей данных ($убб,i$). Устройства ($ф,ij$) предназначены для буферизации Frame Relay-пакетов, поступающих с выхода модели сборки АТМ-ячеек. В исходном состоянии устройства с помощью сигнала начальной установки блокируются. Поэтому все поступающие требования устанавливаются в очередь и находятся в ней до момента выдачи сигнала ($Ф^c_{ij}$) «включить устройство ($ф,ij$)». Генерация этого сигнала является реакцией устройства управления на запрос ($З^c_{ij}$) о предоставлении канала связи для передачи пакета. Если канал свободен, то устройство управления генерирует сигнал ($Ф^c_{ij}$), который инициирует процедуру передачи пакета. По завершении обслуживания устройство блокируется, а требование передается на вход модели сборки Frame Relay-пакетов. В момент передачи требования дополнительно генерируется сигнал включения устройства управления каналом связи ($УБ^c_i$). В результате устройство, имитирующее функции буферизации информации, возвращается в исходное состояние.

Алгоритм функционирования устройства управления каналом связи ($убб,i$) состоит в следующем. На входе устройства установлено J управляемых источников. При этом каждому устройству буферизации ($ф,ij$) поставлен в соответствие один управляемый источник. В случае возникновения потребности в передаче информации сигналом $З^c_{ij}$ производится запуск управляемого источника $З_{ij}$. Если устройство управления свободно, то требование немедленно поступает на обслуживание, имитируя тем самым длительность операции предоставления канала соответствующему порту. По завершении обслуживания требование покидает систему, генерируя при этом два сигнала. Первый сигнал блокирует устройство управления до момента освобождения канала связи (сигнал «выключить ($убб,i$)»), а второй инициирует процесс обслуживания порта, выдавшего запрос на предоставление канала (сигнал «включить ($ф,ij$)»). При запуске следующего источника сгенерированные требования устанавливаются в очередь к устройству. Следующий запрос будет обрабатываться после освобождения канала связи в результате поступления сигнала ($УБ^c_i$).

Модель обработки сообщений предназначена для имитации процедуры сборки Frame Relay-пакетов в одно сообщение. На передающей стороне исходное требование (файл) упаковывается в пакеты, которые по каналам связи поступают на вход транзитного коммутатора. С выхода коммутатора информация транспортируется в виде АТМ-ячеек. По достижении адресуемого пограничного коммутатора АТМ-ячейки преобразуются в Frame Relay-кадр, который по каналу связи передается через один из портов в пункт назначения. В конечном пункте производится сборка Frame Relay-пакетов в одно сообщение. Моделирование этой операции производится с помощью устройства ($сб,1$), представленного на рис. 7.

АППАРАТУРА СВЯЗИ

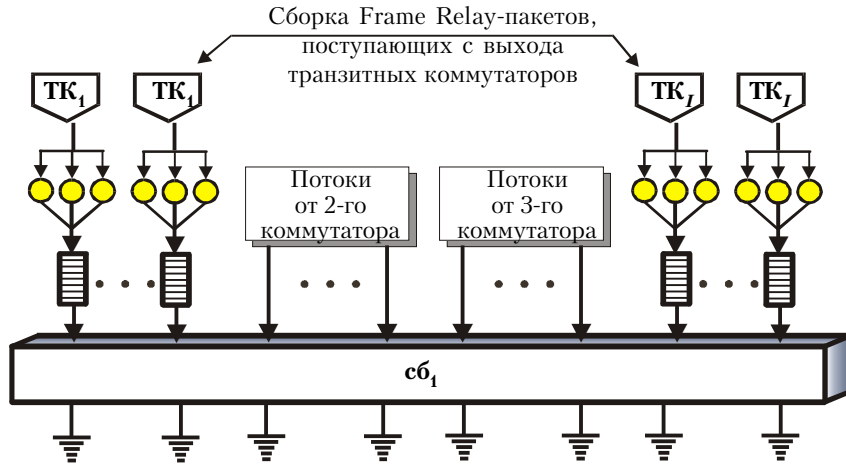


Рис. 7. Схема модели сборки Frame Relay-пакетов

На вход устройства поступают $I \times J$ потоков сообщений с выхода транзитных коммутаторов. Прибывший Frame Relay-пакет записывается во входной буфер и находится в нем до момента поступления последнего кадра, используемого для транспортировки исходного файла. По прибытии последнего пакета автоматически инициируется процедура сборки исходного сообщения. Длительность выполнения этой операции эквивалентна времени, затрачиваемому на сборку сообщения, и имитируется как функция от длины полученного сообщения. При этом устройство ($сб,1$) обеспечивает параллельное обслуживание требований от различных источников. Тем самым значительно уменьшается общее число устройств, входящих в состав модели.

Модель транспортной сети предназначена для описания всех возможных маршрутов передачи пакетов, обеспечивающих доставку сообщений в пункт назначения. В общем случае модель транспортной сети отражает топологию исследуемого объекта. Описание транспортной сети состоит из последовательного перечисления всех исходных узлов (в которых выполняется операция упаковки сообщения в пакеты), пунктов назначения (в которых выполняется сборка пакета) и связей между ними (смежных устройств, которые соединяют узлы коммутации). В качестве исходных узлов, в которых осуще-

ствляется генерация пакетов, используются устройства типа $(к,ij)$, входящие в состав модели транзитного коммутатора. Пунктами назначения являются устройства типа $(всб,i)$, в которых выполняется операция сборки.

Эксперименты с моделью при выбранной конфигурации сети ($I=4, J=40$) позволили найти зависимость коэффициента загрузки центрального коммутатора и времени реакции системы от внешней нагрузки. При этом объем требуемой оперативной памяти при максимальной нагрузке достигал 38 Мбайт, соотношение модельного и реального времени на компьютере типа Pentium-300 составило 30:1.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. АТМ: Технология высокоскоростных сетей. — М. : Лори, 1998.
2. Джилули К. Инструментальные средства оптимизируют производительность сетей // Компьютеруик-М. — 1996. — № 6. — С. 13.
3. Семишин Ю. А., Гуржий В. П., Литвинова О. В. Моделирование дискретных систем на ДАСИМ. — М. : Моя Москва, 1995.
4. Семишин Ю. А., Литвинова О. В. ДАСИМ как инструментальное средство моделирования дискретных систем // Технология и конструирование в электронной аппаратуре. — 2000. — № 2–3. — С. 22–26.

НОВЫЕ КНИГИ

Шенелев В. А., Стемковский А. А. Организация системной среды для построения открытых САПР СБИС.— М. : МГИЭТ, 1999.— 116 с.

Дано введение в проблему организации современных открытых САПР изделий электроники, проанализированы задачи создания системной среды таких САПР и рассмотрены общепринятые подходы к их решению. Приведена перспективная концепция организации системной среды (концепция гибкой интеграции), которая ориентирована на гибкость в представлении и обработке проектных данных, интегрированность и эффективность представления проекта, гибкость подключения прикладных программ и управления ими.



Дополнительная информация по тел. (095) 532-9832, e-mail: ipk@rnd.miee.ru