

К. т. н. В. Г. ВЕРБИЦКИЙ, Г. П. ЛИПОВЕЦКИЙ,  
Л. В. ПРОЦЕНКО, П. В. СИВОБОРОД

Украина, г. Киев, НИИ микроприборов

Дата поступления в редакцию  
31.01 2002 г.

Оппоненты к. т. н. В. И. ЗОЛОТАРЕВСКИЙ  
(НИИ микроприборов, г. Киев),  
к. т. н. Н. Б. КОПЫТЧУК (ОНПУ, г. Одесса)

## ОДНОКРИСТАЛЬНАЯ МИКРО-ЭВМ ДЛЯ СИСТЕМ С ВЫСОКОРАЗВИТЫМИ ЛОКАЛЬНЫМИ СЕТЯМИ

*Встроенный в микросхему контроллер последовательного канала реализует протокол HDLC/SDLC управления звеном последовательной передачи данных.*

В продолжение публикации [1] представляем однокристалльную микро-ЭВМ (ОМЭВМ), интегрированную с контроллером последовательного канала, реализующего протокол HDLC/SDLC управления звеном последовательной передачи данных. Разработанная микросхема УМ5704ВЕ44 дополняет семейство ОМВЭМ МК-51 [2, с. 107] (аналог семейства MCS-51 фирмы Intel, США) и предназначена для построения микроконтроллерных систем, объединенных высокоразвитыми недорогими сетями.

Микросхема объединяет на одном кристалле микро-ЭВМ KP1830BE51 с “интеллектуальным” контроллером последовательного канала (КПК). Блок-схема представлена на **рис. 1**. В состав микросхемы входят ПЗУ, ОЗУ, центральный процессор (ЦП) и периферийные устройства. Архитектура и набор команд микросхемы идентичны архитектуре и набору команд микро-ЭВМ KP1830BE51, а последовательный интерфейс, применяемый в KP1830BE51, заменен “интеллектуальным” контроллером последовательного канала, реализующим процедуру управления звеном передачи данных в соответствии с протоколом HDLC/SDLC, разработанным Международной организацией по стандартизации (ISO). Данная процедура соот-

ветствует ГОСТ 25873—83 и подробно описана для аналогичной по функциональному назначению микросхемы 8044 фирмы Intel в [3]. Структурная схема

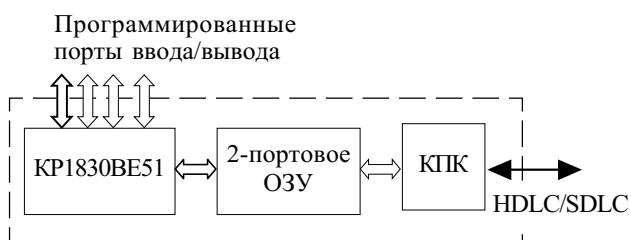


Рис. 1. Блок-схема ОМЭВМ

представлена на **рис. 2**. ОЗУ микросхемы, по сравнению с KP1830BE51, увеличено на 64 байта. КПК может работать со скоростью до 2,4 Мбит/с. КПК работает параллельно с микро-ЭВМ, поэтому ни в одном узле нет потерь пропускной способности. Поскольку КПК обладает собственным “интеллектом”, ЦП разгружен от большого числа задач по организации связи и, следовательно, может выделить большую часть своей вычислительной мощности для управления локальными периферийными устройствами или некоторым внешним процессом.

Общение между ЦП и КПК, работающим с шиной VITBUS, осуществляется через общую для обоих внутреннюю память данных посредством аппаратных и программных прерываний. Такая архитектура макси-

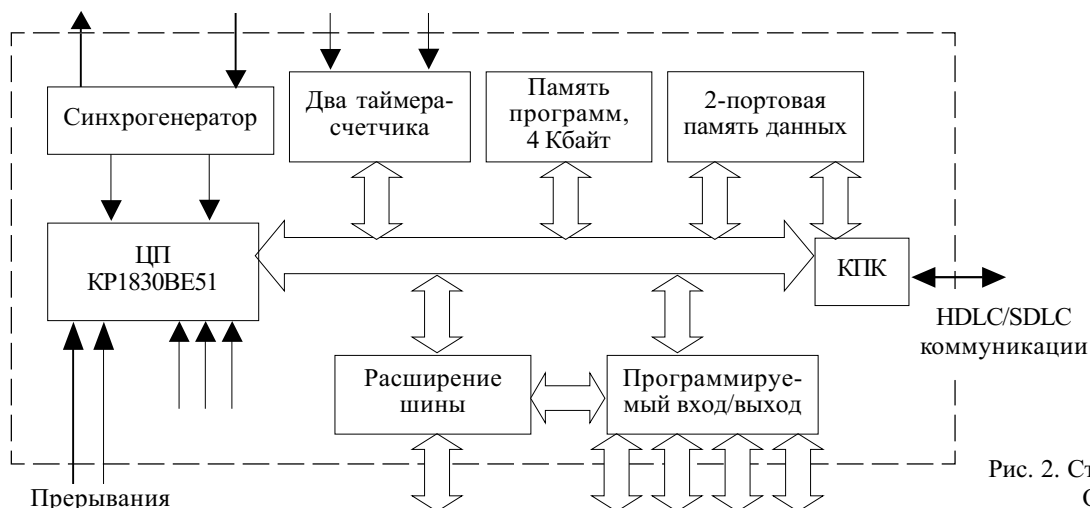


Рис. 2. Структурная схема ОМЭВМ

## ИНТЕГРАЛЬНЫЕ СХЕМЫ И ПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ

мально разгружает ЦП для решения задач сбора информации, контроля и управления объектами, в то время как КПК поддерживает связь, осуществляет обмен сообщениями с физически удаленными объектами.

ОМЭВМ имеет следующие *основные характеристики*:

Объем внутренней программной памяти команд (внутреннее ПЗУ) — 4 Кбайт.

Объем внутренней программной памяти данных (внутреннее ОЗУ) — 192 Кбайт.

Объем адресуемой внешней памяти программ (внешнее ПЗУ) — 64 Кбайт.

Объем адресуемой внешней памяти данных (внешнее ОЗУ) — 64 Кбайт.

Шина данных — 8 бит.

Двухуровневая структура прерываний от 5 источников.

Два 16-разрядных таймера/счетчика событий.

32 канала ввода/вывода.

Процессор булевой алгебры.

Операции с битами, ниблами (4 бита), байтами.

Частота тактового генератора

3,5 – 12,0 МГц.

Скорость передачи данных:

— до 2,4 Мбайт/с при внешней тактировке;

— 375 Кбайт/с при тактировке от внутреннего таймера.

Конфигурация в сети:

— полудуплексная радиальная;

— кольцевая.

Синхронизация в шине VITBUS:

— аппаратная реализация NRZI;

— встроенный ФАПЧ (цифровая фазовая автоподстройка частоты f).

Аппаратная реализация CRC-кода, обеспечивающего контроль четности информации в кадре (блоке передаваемых данных).

Ток потребления – не более 18 мА (при  $f=12$  МГц).

Ток потребления в режиме хранения содержимого ОЗУ — не более 50 мкА.

Контроллер последовательного канала используется для связи по протоколу HDLC/SDLC. Он управляет введением/удалением флага открытия/закрытия кадра данных, автоматическим распознаванием адреса и проверкой при помощи 16-разрядного избыточного кода. Кроме того, КПК аппаратно реализует подмножество протокола SDLC таким образом, что формирует ответы на многие блоки SDLC без участия центрального процессора. В некоторых практических случаях это является более предпочтительным, чем

организация управления ЦП приемом или передачей каждого отдельного кадра данных. Для этого КПК может работать в двух режимах:

— AUTO (автоматическом);

— FLEXIBLE или NONAUTO (гибком или неавтоматическом).

В режиме AUTO КПК формирует ответы на кадры данных SDLC без участия ЦП, а в режиме FLEXIBLE прием и передача каждого кадра данных осуществляется под управлением ЦП.

Для работы последовательного интерфейса используются три управляющих регистра и восемь регистров параметров (**рис. 3**). Управляющие регистры управляют режимами работы и обеспечивают информацию о состоянии. Восемь регистров параметров обеспечивают накопление адресов узлов передачи данных (ПД), прием и передачу полей управления и выполняют функции указателей буфера приема и передачи. Регистры и назначение их бит описаны далее.

Наименование регистров	Символьный адрес	Битовый адрес		Байтовый адрес
Регистр В	B	247	240	240 (F0H)
Аккумулятор	ACC	231	224	224 (E0H)
Три байта FIF	FIF			223 (DFH)
	FIF			222 (DEH)
	FIF			221 (DDH)
	FIF			220 (DCH)
Начало буфера передачи	TBS			220 (DCH)
Длина буфера передачи	TBL			219 (DBH)
Байт управления передачей	TCB			218 (DAH)
Счетчик состояния КПК	SIUST			217 (D9H)
Счет посылки/приема	NSNR	223	216	216 (D8H)
Слово состояния программы	PSW	215	208	208 (D0H)
Счет ПДП	DMA CNT			207 (CFH)
Адрес станции	STAD			206 (CEH)
Длина принимаемого поля	RFL			205 (CDH)
Длина принимаемого буфера	RBS			204 (CCH)
Начало принимаемого буфера	RBL			203 (CBH)
Байт управления приемом	RCB			202 (CAH)
Последовательный режим	SMD			201 (C9H)
Регистр состояния	STS	207	200	200 (C8H)
Управление приоритетом прерывания	IP	191	184	184 (B8H)
Порт 3	P3	183	176	176 (B0H)
Управление разрешением прерывания	IE	175	168	168 (A8H)
Порт 2	P2	167	160	160 (A0H)
Порт 1	P1	151	144	144 (90H)
Старшие разряды таймера 1	TH1			141 (8DH)
Старшие разряды таймера 0	TH0			140 (8CH)
Младшие разряды таймера 1	TL1			139 (8BH)
Младшие разряды таймера 0	TL0			138 (8AH)
Режим таймера	TMOD			137 (89H)
Управление таймером	TCON	143	136	136 (88H)
Управление режимом микропотребления	PCON			135 (87H)
Старший разряд указателя данных	DPH			131 (83H)
Младший разряд указателя данных	DPL			130 (82H)
Указатель стека	SP			129 (81H)
Порт 0	P0	135	128	128 (80H)

Рис. 3. Регистры ОЗУ специальных функций

## ИНТЕГРАЛЬНЫЕ СХЕМЫ И ПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ

Регистр последовательного режима SMD  
(с поразрядной адресацией)

Биты	7	6	5	4	3	2	1	0
Обозначение	SCM2	SCM1	SCM0	NRZI	LOOP	PFC	NB	NFCS

Регистр последовательного режима (адрес С9Н) выбирает режим функционирования КПК. Центральный процессор УМ5704ВЕ44 может считать информацию из SMD, но не может записать в него информацию. Для того чтобы предотвратить конфликт между КПК и ЦП при доступе к SMD, ЦП может осуществлять запись в SMD только при условии, что в регистре состояния/команды (см. ниже) флаг запроса на передачу RTS и флаг RBE – оба равны нулю. В нормальном состоянии доступ к SMD возможен только при инициализации.

Отдельные биты регистра последовательного режима определяются следующим образом:

Биты	Имя	Описание
SMD.0	NFCS	В кадре SDLC нет поля FCS
SMD.1	NB	Безбуферный режим, в кадре SDLC нет поля управления
SMD.2	PFS	Режим синхронизации с предварительным кадром. В этом режиме микроконтроллер передает два байта перед флагом открытия кадра для синхронизации DPLL. Если разрешается модуляция типа NRZI, то передается 00Н; в противном случае передается 55Н. В любом случае гарантируется 16 переходов перед началом кадра данных
SMD.3	LOOP	Кольцевая конфигурация
SMD.4	NRZI	Модуляция по типу NRZI
SMD.5	SCM0	Выбранный режим синхронизации – бит 0
SMD.6	SCM1	Выбранный режим синхронизации – бит 1
SMD.7	SCM2	Выбранный режим синхронизации – бит 2

Биты расшифровываются следующим образом:

S C M 2 1 0	Режим синхронизации	Скорость передачи данных *
0 0 0	Внешняя синхронизация	0—2,4 Мбит/с **
0 0 1	Не определен	
0 1 0	Самосинхронизация, переполнением таймера	244—62,5 Кбит/с
0 1 1	Не определен	
1 0 0	Самосинхронизация, внешняя 16х	0—375 Кбит/с
1 0 1	Самосинхронизация, внешняя 32х	0—187 Кбит/с
1 1 0	Самосинхронизация, внутренняя фиксированная	375 Кбит/с
1 1 1	Самосинхронизация, внутренняя фиксированная	187,5 Кбит/с

\* Базируется на частоте кристалла 12 МГц.

\*\* В кольцевой конфигурации – 0–1 Мбит/с.

Регистр состояния/команды STS  
(с поразрядной адресацией)

Биты	7	6	5	4	3	2	1	0
Назначение	TBF	RBE	RTS	SI	BOU	OPB	AM	RBP

Регистр состояния/команды (адрес СВН) обеспечивает управление КПК со стороны ЦП УМ5704ВЕ44 и позволяет КПК регистрировать информацию о со-

стоянии для доступа ЦП. КПК может считывать информацию из STS и изменять некоторые биты, как показано ниже. ЦП может как считать информацию из STS, так и асинхронно записать информацию в STS. Однако 2-цикловые команды, осуществляющие доступ к STS в течение обоих циклов (JBC/B,REL и MOV/B,C), не должны использоваться, т. к. КПК может записать информацию в STS между двумя доступами со стороны ЦП.

Отдельно биты регистра состояния/команды определяются следующим образом:

Биты	Имя	Описание
STS.0	RBP	Защита буфера приема. Запрещает запись данных в буфер приема. В режиме AUTO RBP вызывает отклик RNR вместо RR
STS.1	AM	Режим AUTO/адресный режим. Выбирает режим AUTO, когда режим AUTO разрешен. Если NB=1 бит, AM выбирает адресный режим. AM может очищаться КПК
STS.2	OPB	Бит произвольного опроса. Определяет, будет ли КПК генерировать отклик AUTO на произвольный опрос (UP с P=0). OPB может устанавливаться или очищаться КПК
STS.3	BOU	Переполнение буфера приема. КПК может устанавливать или очищать BOU
STS.4	SI	Прерывание КПК. Это один из пяти источников прерывания ЦП. Вектор=23Н. SI может устанавливаться КПК. Он должен очищаться ЦП перед выходом из программы прерывания
STS.5	RTS	Запрос на передачу. Свидетельствует о том, что микроконтроллер готов к передаче или находится в состоянии передачи. RTS может считываться или записываться ЦП, RTS может быть прочитан КПК, а в режиме AUTO может быть записан КПК
STS.6	RBE	Буфер приема пустой. RBE может восприниматься как разрешение на прием. RBE устанавливается в «1» ЦП, когда он готов к приему кадра данных (или хотя бы считал буфер), или сбрасывается в «0» КПК, если кадр данных уже принят
STS.7	TBF	Буфер передачи заполнен. Записывается ЦП, чтобы сигнализировать, что ЦП заполнил буфер передачи. TBF может очищаться КПК

Регистр счета передачи/приема NSNR  
(с поразрядной адресацией)

Биты	7	6	5	4	3	2	1	0
Обозначение	NS2	NS1	NS0	SES	NR2	NR1	NR0	SER

Регистр счета передачи/приема (адрес D8Н) содержит длину передаваемой или принимаемой последовательности плюс индикацию подсчета ошибок. КПК может считать информацию из NSNR и записать информацию в NSNR. ЦП может читать и записывать NSNR асинхронно. Однако 2-цикловые команды доступа к NSNR в течение обоих циклов (JBC/

## ИНТЕГРАЛЬНЫЕ СХЕМЫ И ПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ

B,REL и MOV/B,C) не должны использоваться, т. к. КПК может записать информацию в NSNR между двумя выборками ЦП микросхемы.

Отдельные биты регистра счета передачи/приема определяются следующим образом:

Биты	Имя	Описание
NSNR.0	SER	Ошибка принимаемой последовательности $NS(P) \neq NR(S)$
NSNR.1	NR0	Счетчик принимаемой последовательности – бит 0
NSNR.2	NR1	Счетчик принимаемой последовательности – бит 1
NSNR.3	NR2	Счетчик принимаемой последовательности – бит 2
NSNR.4	SES	Ошибка передаваемой последовательности $NP(P) \neq NS(S), NP(P) \neq NS(S) \neq 1$
NSNR.5	NS0	Счетчик передаваемой последовательности – бит 0
NSNR.6	NS1	Счетчик передаваемой последовательности – бит 1
NSNR.7	NS2	Счетчик передаваемой последовательности – бит 2

Как указывалось выше, в работе КПК совместно с ним используются восемь регистров параметров. Информация может заноситься во все восемь регистров и считываться из них ЦП.

В число этих восьми регистров входят следующие:

Регистр адреса узла ПД STAD  
(с побайтной адресацией)

Регистр адреса узла ПД (адрес SEN) содержит адрес узла ПД. Для того чтобы избежать конфликтов при доступе, ЦП должен обращаться к STAD только в том случае, когда КПК находится в состоянии ожидания (RST=0 и RBE=0). В нормальном режиме к STAD доступ осуществляется только при инициализации.

Регистр адреса начала буфера передачи TBS  
(с побайтной адресацией)

Регистр адреса начала буфера передачи (адрес DCH) указывает на положение во внутреннем ОЗУ микросхемы начала I-поля кадра, предназначенного для передачи. ЦП должен осуществлять доступ к TBS только тогда, когда КПК не осуществляет передачу кадра (TBF=0).

Регистр длины буфера передачи TBL  
(с побайтной адресацией)

Регистр длины буфера передачи (адрес DBH) содержит длину (в байтах) I-поля кадра данных, предназначенных для передачи. Пустое I-поле (TBL=0) действительно. ЦП должен осуществлять доступ к TBL только когда КПК не осуществляет передачу кадра (TBF=0).

Регистр байта управления передачи TCB  
(с побайтной адресацией)

Регистр байта управления передачи (адрес DAN) содержит байт, который должен быть помещен в поле управления передаваемого кадра данных. ЦП может обращаться к TCB только тогда, когда TCB не производит передачу кадра данных (когда TBF=0). Счетчики Ns и Nz в режиме NON-AUTO не используются.

Регистр адреса начала буфера приема RBS  
(с побайтной адресацией)

Регистр адреса начала буфера приема (адрес CCH) указывает на положение во внутреннем ОЗУ микросхемы начала I-поля кадра данных, который принимается и запоминается. ЦП может заносить информацию в RBS только когда КПК не осуществляет прием кадра данных (когда RBE=0).

Регистр длины буфера приема RBL  
(с побайтной адресацией)

Регистр длины буфера приема (адрес СВН) содержит длину (в байтах) памяти во внутреннем ОЗУ микросхемы, предназначенной для принимаемого I-поля. RBL=0 является действительным. ЦП заносит информацию в RBL только при RBE=0.

Регистр длины поля приема RFL  
(с побайтной адресацией)

Регистр длины поля приема (адрес CDH) содержит длину (в байтах) принимаемого I-поля, которое необходимо запомнить во внутреннем ОЗУ микросхемы. RFL загружается при помощи КПК. RFL=0 является действительным. ЦП осуществляет доступ к RFL только когда RBE=0.

Регистр байта управления приема RCB  
(с побайтной адресацией)

Регистр байта управления приема (адрес САН) содержит поле управления принимаемого кадра данных. RCB загружается КПК. ЦП может только считывать информацию из RCB и его доступ к RCB осуществляется только при RBE=0.

В режиме AUTO КПК аппаратно реализует подмножество протокола SDLC таким образом, что он формирует ответ на многие кадры данных по протоколу SDLC без участия ЦП. Все ответы первичного узла ПД в режиме AUTO соответствуют определениям фирмы IBM протокола SDLC. Преимуществом режима AUTO является то, что для реализации вторичных узлов ПД требуется меньше программного обеспечения, а аппаратно ответ на опрос генерируется значительно быстрее, чем программно. Однако режим AUTO не может быть использован в первичном узле ПД.

Для того чтобы осуществить передачу в режиме AUTO, ЦП должен загрузить буфер передачи информации, регистр адреса начала буфера передачи, регистр длины буфера передачи и установить флаг “буфер передачи полон”. КПК автоматически отвечает на опрос передачей информационного кадра данных с битом P/F в поле управления. Когда КПК принимает подтверждение от первичного узла ПД, он автоматически инкрементирует поле N3 в регистре NSNR и прерывает ЦП. При отсутствии подтверждения КПК будет повторно передавать тот же кадр данных.

Для реализации приема информации в режиме AUTO ЦП загружает регистр начала буфера приема, регистр длины буфера приема, сбрасывает флаг защиты буфера приема и устанавливает флаг “буфер приема пуст”. Если в этой ситуации производится опрос и флаг TBF показывает, что буфер передачи пуст, то будет генерироваться автоматический ответ готовности к приему (RR). Если принимается правильный информационный кадр данных, КПК автоматически инкрементирует Nz в регистре NSNR и прерывает ЦП.

Находясь в режиме AUTO, КПК может распознать и формировать ответы без участия ЦП на следующие команды:

- I — информация;
- RR — готовность к приему;

- RNR — нет готовности к приему;
- REJ — удаление;
- UP — непрономерованный опрос.

Без участия ЦП КПК может формировать следующие ответы:

- I — информация;
- RR — готовность к приему;
- RNR — нет готовности к приему.

Если флаг “буфер приема пуст” (RBE) указывает на то, что буфер приема пуст, то прием разрешен, а если RBE указывает на то, что буфер приема полон, то прием запрещен. Предполагая, что буфер приема пуст, КПК будет отвечать на опрос передачей I-кадра в том случае, если буфер передачи полон. Если же буфер передачи пуст, то КПК будет отвечать на опрос командой RR, если флаг защиты буфера приема (RBP) сброшен, либо командой RNR, если RBP установлен.

В режиме FLEXIBLE все связи устанавливаются под управлением ЦП. Задачей ЦП является кодирование и декодирование управляющих полей, управление подтверждениями и следование требованиям протоколов HDLC/SDLC. В этом режиме КПК может использоваться как первичный, так и как вторичный узел ПД.

Для того чтобы осуществить прием кадра данных в режиме FLEXIBLE, ЦП должен загрузить регистр адреса начала буфера приема, регистр длины буфера приема, сбросить флаг защиты буфера приема и установить флаг “буфер приема пуст”. Если принимается правильный флаг открытия кадра, а поле адреса соответствует байту в регистре адреса узла ПД или содержит адрес сообщения всем узлам ПД, микроконтроллер загружает поле управления в регистр принимаемого байта управления и загружает I-поле в буфер приема. Если при проверке посредством циклического избыточного кода (CRC) не обнаружено ошибок, то КПК прерывает ЦП, указывая кадр, который только что был принят. Если же CRC-проверка обнаружила ошибки, прерывание не происходит. Регистр длины буфера приема содержит число байт, которые были приняты в поле информации.

Для передачи кадра данных ЦП должен загрузить буфер передачи информации, регистр адреса начала буфера передачи, регистр длины буфера передачи, передаваемый байт управления и установить биты TBF и RFS. КПК, не опрашиваемый по протоколу HDLC/SDLC, будет передавать полный информационный кадр данных и вызовет прерывание ЦП по завершении передачи. Для управляющих кадров или непрономерованных кадров длина буфера передачи будет равна нулю.

При инициализации все разряды регистра FCS будут установлены в “1” до вычисления поля FCS. При нахождении CRC ошибки КПК не будет осуществлять прерывание ЦП (как в режиме AUTO, так и в режиме FLEXIBLE). Флаг ошибки CRC сбрасывается после приема открывающего флага.

Для реализации расширенного поля управления или расширенного поля адреса, использующего HDLC протокол, следует применять режим FLEXIBLE. Для реализации расширенного поля управления КПК про-

граммируется на работу в безбуферном режиме. Расширенное поле управления будет занимать первый и второй байты в буфере приема и в буфере передачи. Для реализации расширенного поля адреса КПК программируется на работу в безадресном режиме. В этом режиме ЦП должен реализовать распознавание адресов принимаемых кадров данных. Поле адреса занимает начальные байты, за которыми следует поле управления.

КПК может передавать и принимать только кадры данных длиной, кратной 8 разрядам.

КПК может быть использован в кольцевых сетях, организованных по протоколу SDLC, в качестве вторичного или первичного узла ПД. При работе в кольцевом режиме КПК принимает данные и передает данные с задержкой на интервал, равный длительности одного бита. Он также распознает сигнал запуска и преобразовывает его во флаг при готовности к передаче. В качестве вторичного узла ПД КПК может использоваться и в режиме AUTO, и в режиме FLEXIBLE. При использовании КПК в качестве первичного узла ПД применяется режим FLEXIBLE, однако для генерации сигнала запуска требуются дополнительные технические средства. При работе в кольцевом режиме максимальная скорость передачи данных при внешней синхронизации равна 1 Мбит/с, а при самосинхронизации – 375 Кбит/с.

КПК может использоваться в некольцевых конфигурациях SDLC в качестве вторичного и первичного узла ПД. В некольцевом режиме возможно использование выводов интерфейса модема, RTS и CTS.

Последовательный порт UM5704BE44 может работать в системах с самосинхронизацией. Системы с самосинхронизацией используют встроенную в микросхему цифровую фазовую систему автоподстройки частоты (DPLL) для получения синхронизации из данных и синхронизации этих данных в последовательном сдвиговом регистре приема. В этом режиме синхропоследовательность, согласованная с данными, подается извне в микросхему. Эта синхропоследовательность может генерироваться внешней фазовой системой автоподстройки частоты или подаваться вместе с данными. Микросхема UM5704BE44 может передавать и принимать данные в этом режиме со скоростью до 2,4 Мбит/с.

Режим самосинхронизации позволяет передавать данные без общей синхронизации данных системы. Встроенная DPLL позволяет получать синхронизацию данных, которая закодирована в потоке данных. DPLL будет сходиться, в худшем случае, к номинальному биту центра в пределах восьми битовых переходов. DPLL требует опорную синхронизацию, в 16 или в 32 раза превышающую по частоте скорость передачи данных. Эта опорная синхропоследовательность может либо подаваться извне, либо генерироваться внутри микроконтроллера. При внутренней генерации в качестве опорной синхропоследовательности может использоваться либо внутренняя логическая синхропоследовательность микроконтроллера (частота кристалла, деленная на два), либо сигнал переполнения таймера 1. При использовании внутренней синхронизации таймером 1 скорость передачи данных

может изменяться от 244 до 62,5 Кбит/с. При использовании внутренней логической синхропоследовательности с частотой, в 16 раз превышающей частоту выборки, данные принимаются со скоростью 187,5 или 375 Кбит/с. При внешнем задании опорной синхропоследовательности для DPLL скорость передачи данных может изменяться от 0 до 375 Кбит/с при частоте выборки, превышающей скорость передачи данных в 16 раз.

Для того чтобы попасть в захват DPLL, в КПК применено кодирование/декодирование данных по методу NRZI (без возврата к нулю, инвертированный). Кроме того, КПК имеет предварительный кадр синхронизации до передачи кадра данных, который передает 2 байта чередующихся "1" и "0", чтобы

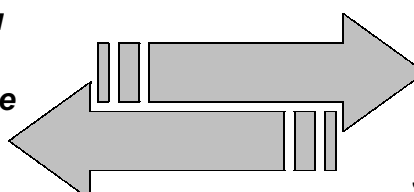
убедиться, что DPLL принимающего устройства будет синхронизирована с данными ко времени приема флага открытия кадра данных.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Вербицкий В. Г., Липовецкий Г. П., Сивобород П. В. Однокристалльная микро-ЭВМ с аналого-цифровым преобразователем // Технология и конструирование в электронной аппаратуре.— 2001.— № 6.— С. 54—58.
2. Однокристалльные микро-ЭВМ / Бобрыкин А. В., Липовецкий Г. П., Литвинский Г. В. и др.— М.: БИНОМ, 1994.
3. Networking with the 8044.— Young Sohn & Charles Gopen, Design, May 1984, p. 136—137.

ВЫСТАВКИ. КОНФЕРЕНЦИИ. СИМПОЗИУМЫ

**12-я Международная Крымская конференция «СВЧ-техника и телекоммуникационные технологии»**  
**9—13 сентября 2002 г.**  
**Севастополь, Украина**



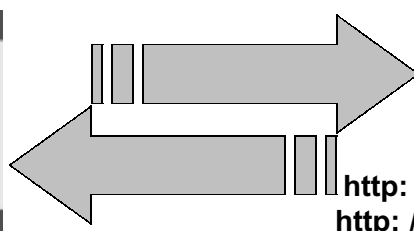
**12th International Crimean Conference «Microwave & Telecommunication Technology»**  
**September 9—13, 2002**  
**Sevastopol, Ukraine**

**На конференции планируется работа следующих секций**

1. Твердотельные приборы и устройства СВЧ (в т. ч. интегрированные устройства для средств связи и локации, а также для сопряжения с оптоволоконными и цифровыми устройствами)
2. Электровакуумные и микровакуумные приборы СВЧ
3. Системы СВЧ-связи, вещания и спутниковой навигации (в т. ч. методики оценки эффективности сетей связи)
4. Антенны и антенные элементы (в т. ч. оптические технологии в антенной технике)
5. Пассивные компоненты, материалы, технология изготовления СВЧ-приборов и нанотехнология
6. СВЧ-электроника сверхбольших мощностей и эффекты
7. СВЧ-измерения
8. СВЧ-техника в промышленности и на транспорте
9. Оптоэлектроника в телекоммуникационных системах
10. Микроволновое дистанционное зондирование и радиоастрономия
11. Автоматизированное проектирование СВЧ-устройств и систем (CAD/CAM)

**В рамках конференции планируется проведение семинаров**

- W1 — Мультисервисные сети кабельного телевидения
- W2 — Применение СВЧ-техники в медицине и экологии



Тел: 0692-424287;  
 095-2739404  
 E-mail: <weber@execs.com>  
<http://ieee.orbita.ru/aps/crim02r.htm>  
<http://ieee.orbita.ru/aps/crim02e.htm>