

УДК 621.3.049.77: 681.325

К. т. н. В. П. СИДОРЕНКО, д. т. н. В. Г. ВЕРБИЦКИЙ, Ю. В. ПРОКОФЬЕВ

Украина, г. Киев, НИИ микроприборов НАНУ
E-mail: sidorenko@imd.org.ua

СХЕМОТЕХНИКА СБИС ДЛЯ МИКРОЭЛЕКТРОННОГО КООРДИНАТНО-ЧУВСТВИТЕЛЬНОГО ДЕТЕКТОРА ДЛЯ ЭЛЕМЕНТНОГО АНАЛИЗА МАТЕРИАЛОВ

Разработана, изготовлена и испытана СБИС, позволяющая в составе микроэлектронного координатно-чувствительного детектора проводить одновременный анализ всего элементного состава материала. Схема обеспечивает срабатывание усилителя-преобразователя при поступлении на его вход отрицательного заряда величиной $1,6 \cdot 10^{-13}$ Кл. Быстродействие микросхемы в режиме счета составляет не менее 3 МГц, в режиме считывания информации со счетчиков — более 4 МГц, ток потребления — не более 7 мА.

Ключевые слова: СБИС, КМОП-технология, микроэлектронный координатно-чувствительный детектор, элементный анализ, усилители-преобразователи, 10-разрядные счетчики.

В настоящей работе рассмотрены вопросы схемотехнической реализации СБИС УБ5709ИК01-2.11 [1]. В составе микроэлектронного координатно-чувствительного детектора (МКЧД) [2] разработанная СБИС обеспечивает одновременное детектирование разделенного в пространстве спектра ионов, принимая и обрабатывая информацию об интенсивности потоков частиц различной массы.

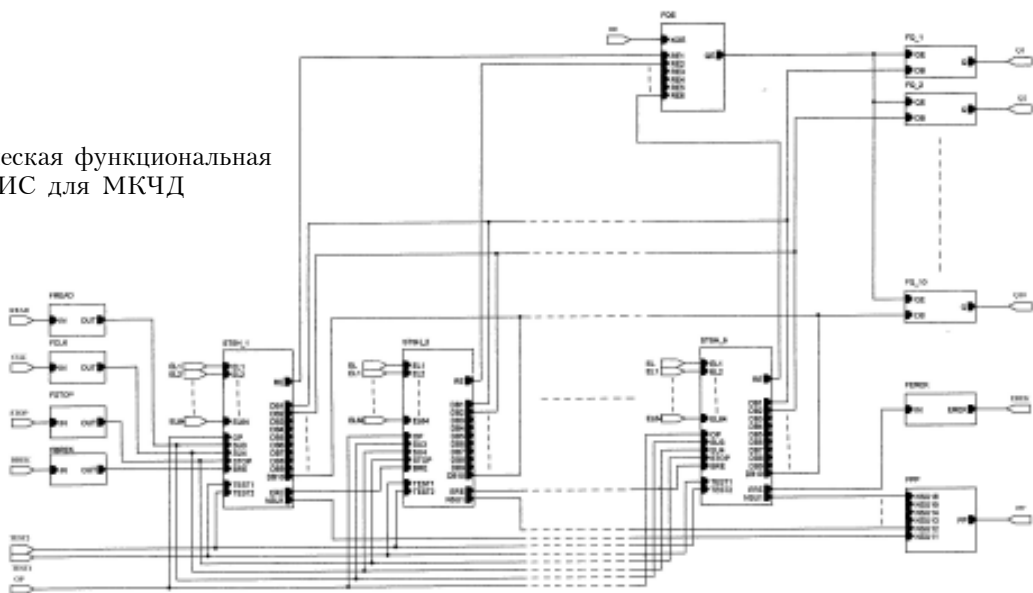
В составе МКЧД СБИС используется вместе с умножителем электронов, выполненном в виде двух микроканальных пластин (МКП) в шевронной сборке и обеспечивающим коэффициент умножения электронов не менее 10^6 , т. е. каждый ион на входе МКП обеспечивает попадание на соответствующий входной электрод СБИС 10^6

электронов, сообщая ему отрицательный заряд, равный $1,6 \cdot 10^{-13}$ Кл, который должен обеспечить срабатывание подключенного к нему входного усилителя-преобразователя «заряд — импульс».

СБИС выполнена по КМОП-технологии и содержит 143489 элементов, в том числе 142322 МОП-транзистора, размещенных на кристалле размером $10,05 \times 10,2$ мм.

На **рис. 1** приведена электрическая функциональная схема СБИС. Микросхема содержит 384 канала приема и обработки информации, конструктивно выполненных в виде шести блоков STSH_1...STSH_6 по 64 канала в каждом (**рис. 2**). Каждый канал включает входной электрод EL1...EL64 для приема заряда, входной

Рис. 1. Электрическая функциональная схема СБИС для МКЧД



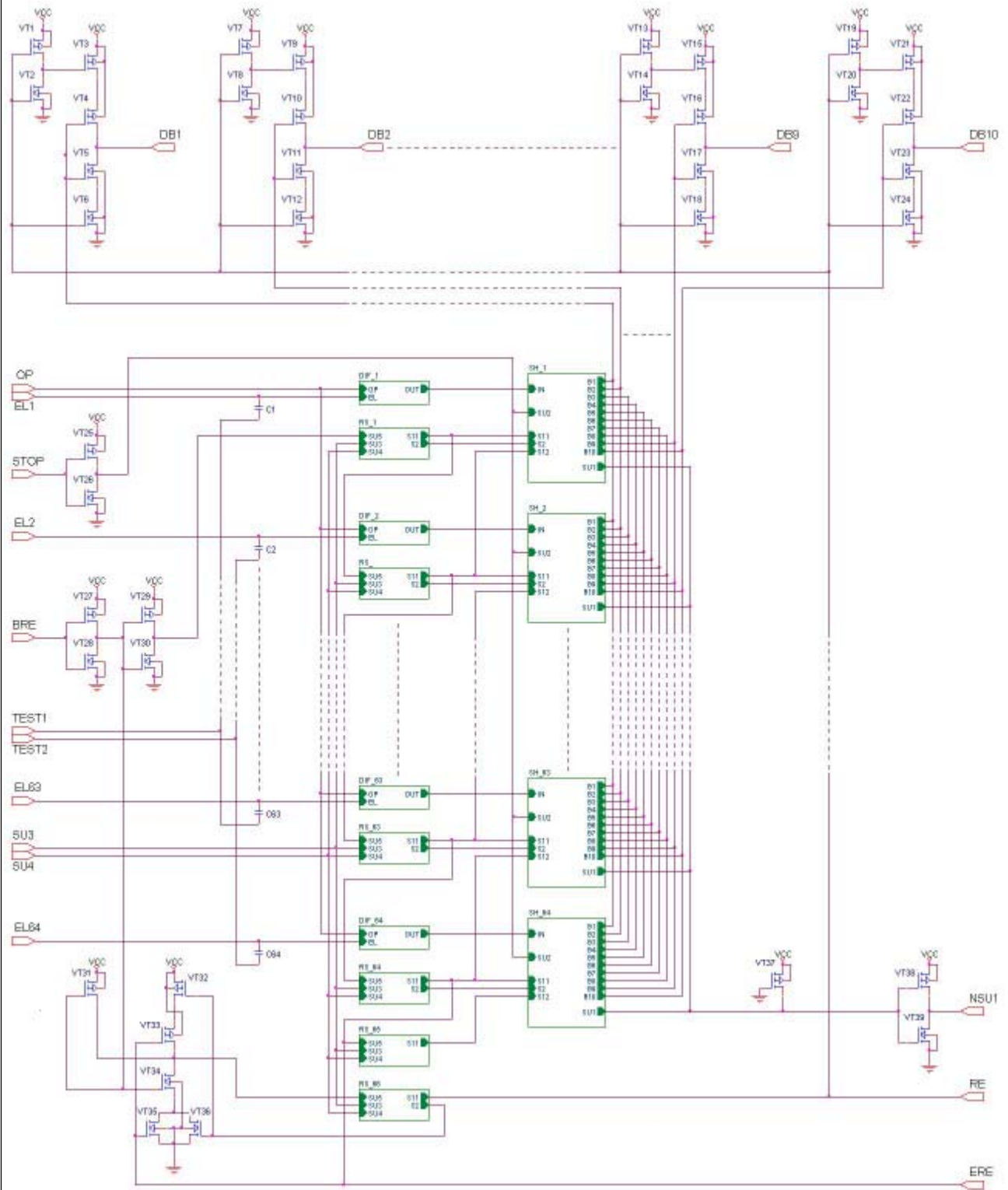


Рис. 2.
Электрическая функциональная схема блока счетчиков

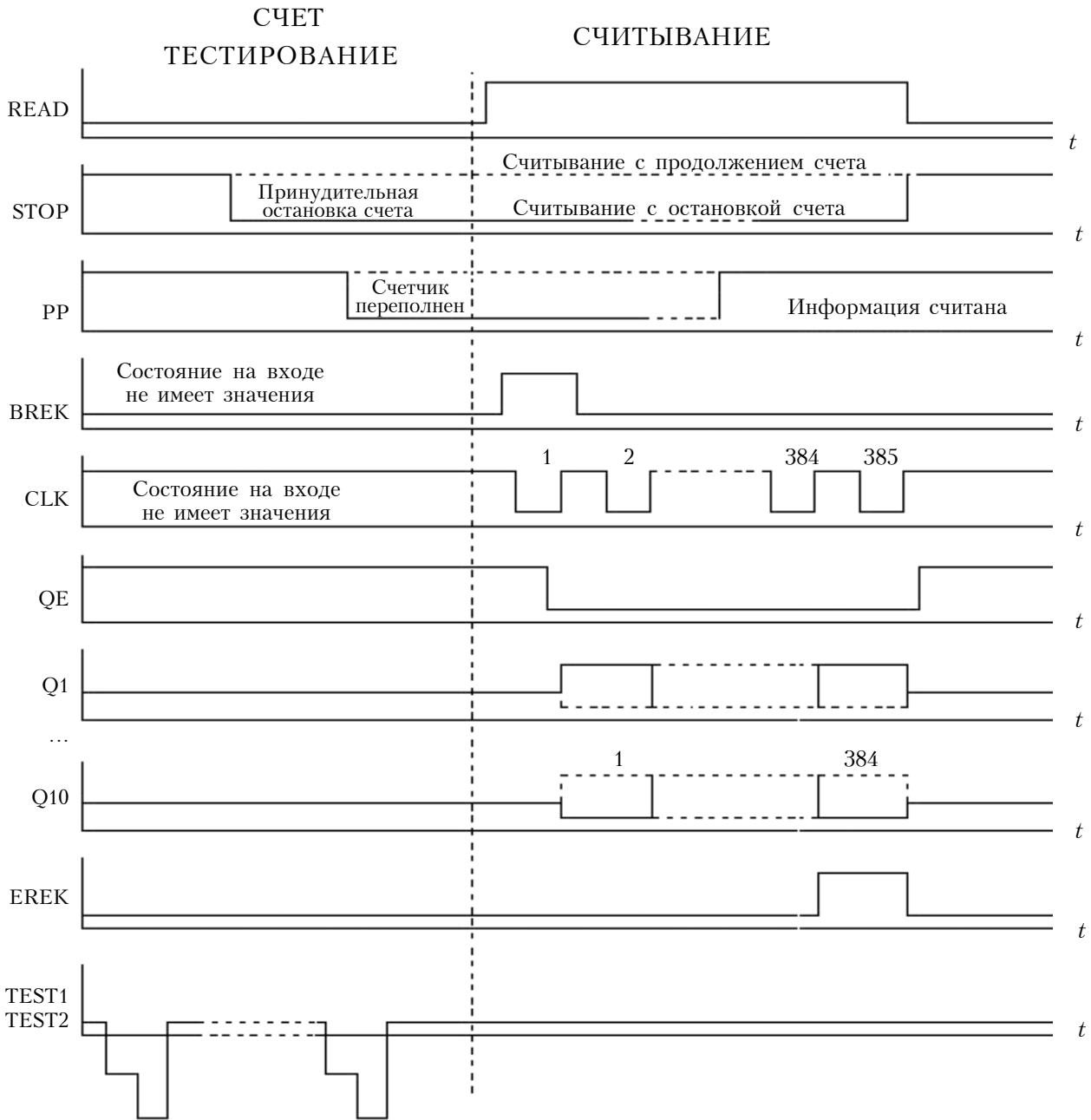


Рис. 3. Временная диаграмма работы СБИС

усилитель-преобразователь DIF_1...DIF_64 и 10-разрядный счетчик импульсов SH_1...SH_64. Микросхема также содержит усилители-формирователи входных и выходных сигналов FREAD, FCLK, FSTOP, FBREK, FQE, FQ1...FQ10, FERЕК, FPP (рис. 1) и схемы управления режимами работы микросхемы, которые обеспечивают счет импульсов счетчиками, считывание информации со счетчиков, обнуление счетчиков, включение и выключение выходных усилителей, работу в тестовом режиме.

Временная диаграмма работы микросхемы в режимах «Счет», «Считывание» и «Тестирование» показана на **рис. 3**.

Входные усилители-преобразователи

На **рис. 4** приведена электрическая принципиальная схема входного усилителя-преобразователя DIF, который обеспечивает преобразование «заряд — импульс». Использование такой схемы является отличительной чертой запатентованного МКЧД [2].

В исходном состоянии напряжения на входах усилителя-преобразователя EL, т. е. на затворах транзисторов VT6 и VT7, одинаковы за счет обратной связи через транзисторы VT1, VT2 и равны напряжению U_{OP} на входе OP. Поскольку затвор транзистора VT8 соединен со стоком, он всегда находится в насыщении. Затвор

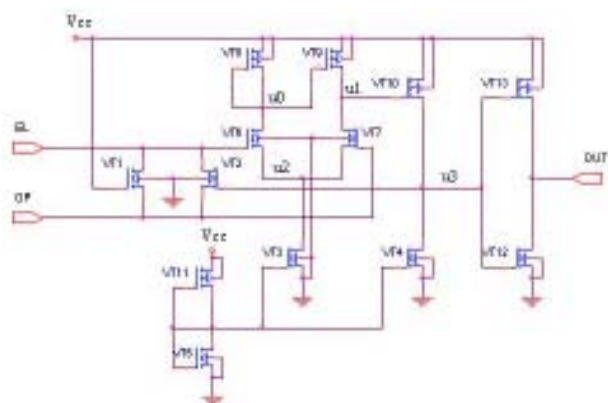


Рис. 4. Электрическая принципиальная схема входного усилителя-преобразователя «заряд — импульс»

и исток транзистора VT8 соединены, соответственно, с затвором и истоком транзистора VT9, поэтому когда транзистор VT9 находится в насыщении, он работает в режиме «токового зеркала» транзистора VT8. Так как истоки транзисторов VT6 и VT7 соединены, а на их затворах в исходном состоянии потенциалы одинаковы, они имеют одинаковое управляющее напряжение, равное разности потенциалов затворов и истоков этих транзисторов $(U_3 - U_{и1})$. Длина каналов этих транзисторов одинакова (минимальная) $L_6 = L_7$, а поскольку ширина канала W_6 транзистора VT6 больше ширины канала W_7 транзистора VT7, то и ток I_6 , протекающий через транзистор VT6, больше тока I_7 транзистора VT7. Токи в транзисторах VT9 и VT8 равны, соответственно, токам транзисторов VT6 и VT7, а т. к. транзисторы VT8 и VT9 конструктивно одинаковы и транзистор VT8 находится в насыщении, транзистор VT9 в этом случае будет находиться в триодной области и иметь низкое напряжение сток — исток $U_{си}$. Следовательно, напряжение в узле u1 будет иметь значение, близкое к напряжению питания V_{cc} (+5 В), транзистор VT10 будет закрыт и в узле u3 будет напряжение, близкое к нулю. При этом выходной транзистор VT12 усилителя-преобразователя будет закрыт, а VT13 — открыт, а выходной вывод усилителя-преобразователя OUT через транзистор VT13 будет подключен к шине питания V_{cc} . Поэтому в исходном состоянии на выходе усилителя-преобразователя устанавливается напряжение высокого уровня, близкое к напряжению питания V_{cc} .

Схема должна обеспечить срабатывание усилителя-преобразователя и формирование одиночного импульса при поступлении на его вход EL отрицательного заряда $\Delta Q_{вх} \geq |-1,6 \cdot 10^{-13}|$ Кл, вызывающего на входе отрицательный перепад напряжения

$$\Delta U_{вх} \geq \Delta Q_{вх} / C_{вх},$$

где $C_{вх}$ — емкость входного узла EL.

Поскольку транзистор VT9 имеет максимальный ток в насыщении, работая при этом в режиме «токового зеркала» транзистора VT8, его максимальная величина определяется током в цепи

транзисторов VT6 и VT8, который зависит от напряжения на затворе транзистора VT6. При поступлении на входной электрод EL, к которому подключен затвор транзистора VT6, отрицательного заряда $\Delta Q_{вх}$ ток в цепи транзисторов VT6 и VT8 уменьшается.

Для переключения схемы необходимо, чтобы ток насыщения I_7 транзистора VT7 превысил ток насыщения I_6 транзистора VT6 [3]. При этом ток I_7 транзистора VT7 станет больше тока I_9 транзистора VT9 и начнется разряд узла u1, который будет продолжаться до тех пор, пока транзистор VT7 не выйдет из насыщения и токи I_7 и I_9 не сравняются.

При этом в узле u1 устанавливается низкий потенциал, что обеспечивает высокое отпирающее напряжение транзистора VT10 и приводит к повышению потенциала в узле u3, запирающему транзистор VT13 и отпирающему транзистор VT12. Выходной вывод усилителя OUT через транзистор VT12 подключается к шине корпуса.

В исходное состояние схема возвращается за счет обратной связи через транзистор VT2: когда потенциал в узле u3 превысит $U_{ор}$ на величину, превышающую пороговое напряжение транзистора VT2, транзистор открывается, происходит заряд входного узла усилителя-преобразователя EL до напряжения $U_{ор}$, на входе EL усилителя-преобразователя восстанавливается напряжение, равное $U_{ор}$, и схема возвращается в исходное состояние, завершив формирование отрицательного импульса.

Делитель напряжения на транзисторах VT11, VT5 формирует напряжение на затворах транзисторов VT3, VT4, работающих в режиме «токового зеркала», определяя величину их тока.

Крутизна стоково-затворной характеристики транзистора VT1 низкая и поэтому не влияет на процесс формирования импульсов, но предохраняет от возможного натекания положительных зарядов на вход EL усилителя-преобразователя.

Размеры транзисторов VT12, VT13 выбраны из условия обеспечения перезаряда нагрузочной емкости до 1,5 пФ на частоте 5 МГц и определяют величину емкости узла u3. Скорость перезаряда узла u3 определяет быстродействие усилителя-преобразователя. Величина токов I_3 и I_4 транзисторов VT3 и VT4 выбирается из компромисса между быстродействием и мощностью потребления и должна обеспечить работу усилителя-преобразователя на частоте не менее 5 МГц.

Поскольку длина каналов транзисторов VT6, VT7 и ширина канала транзистора VT7 выполнены минимально допустимыми для используемой технологии, ширина транзистора VT6 выбирается в k раз больше минимальной для обеспечения требуемой чувствительности, то есть

$$L_6 = L_7 = L_{\min}; \quad W_7 = W_{\min}; \quad W_6 = kW_{\min}.$$

Токи транзисторов VT6 и VT7 равны соответственно

$$I_6 = 0,5\beta_6 (U_{ор} - U_2 - V_T - \Delta U_{вх})^2;$$

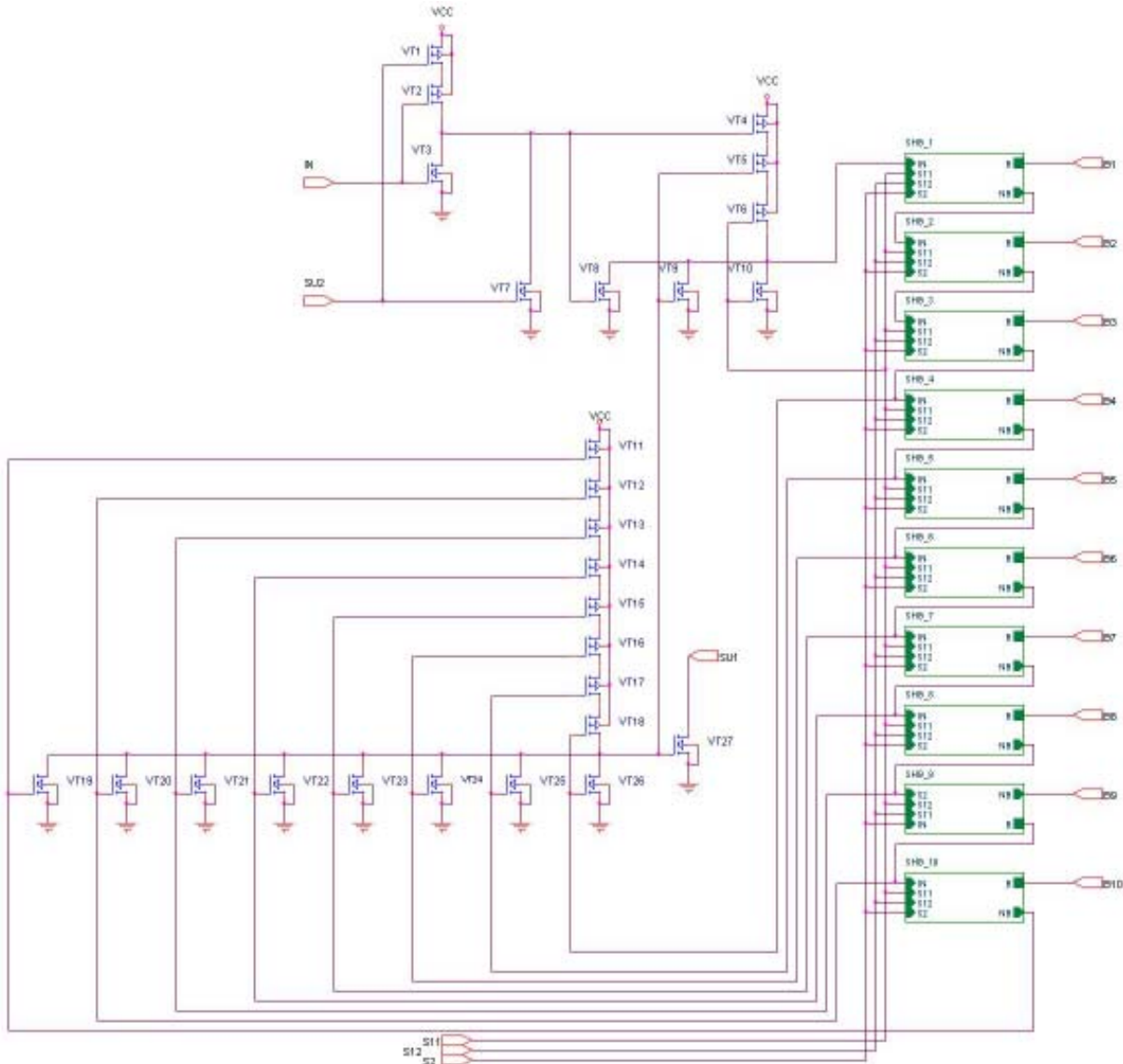


Рис. 5. Электрическая функциональная схема 10-разрядного счетчика

$$I_7 = 0,5\beta_7(U_{OP} - U_2 - V_T)^2,$$

где β_6, β_7 – крутизна транзисторов VT6 и VT7,

$$\beta_6 = \mu_n C_0 k W_{\min} / L_{\min},$$

$$\beta_7 = \mu_n C_0 W_{\min} / L_{\min},$$

V_T – пороговое напряжение этих транзисторов;

U_2 – потенциал узла u2;

μ_n – подвижность носителей в n-канальных МОП-транзисторах;

C_0 – удельная емкость затвора МОП-транзисторов.

Поскольку $I_6 + I_7 = I_3$, в точке переключения $I_6 = I_7 = 0,5I_3$.

Обозначим $U_{OP} - U_2 - V_T = V_{e7}$ (эфффективное управляющее напряжение транзистора VT7) и тогда сможем записать

$$I_6 = 0,5\mu_n C_0 \frac{k W_{\min}}{L_{\min}} (V_{e7} - \Delta U_{BX})^2 = 0,5I_3$$

Отсюда ширина канала транзистора VT6, соответствующая чувствительности усилителя-преобразователя ΔQ_{BX} , равна

$$W_6 = k W_{\min} = \frac{I_3 L_{\min}}{\mu_n C_0 (V_{e7} - \Delta Q_{BX} / C_{BX})^2}.$$

Работа счетчиков в режимах «Счет» и «Считывание»

Для подсчета импульсов, поступающих с выходов усилителей-преобразователей, в микросхеме используются 384 10-разрядных счетчика, которые в режиме «Счет» работают параллельно, а в режиме «Считывание» – последовательно.

С целью оптимизации нагрузки для узлов, формирующих сигналы управления счетчиками, последние делятся на шесть блоков (STSH_1... STSH_6 на рис. 1) по 64 счетчика в каждом (SH_1...SH_64 на рис. 2).

На рис. 2 приведена электрическая функциональная схема такого блока, а на рис. 5 — электрическая функциональная схема 10-разрядного счетчика, реализованного на *D*-триггерах. Разряды счетчика (SHB_1...SHB_10 на рис. 5) имеют счетный вход IN, вход начальной установки S12 и два комплементарных выхода — прямой В и инверсный — NB. Прямой выход В в режиме «Счет» находится в третьем состоянии.

На входы IN счетчиков SH_1...SH_64 (рис. 2) поступают импульсы с выходов OUT усилителей-преобразователей DIF_1...DIF_64 и подаются на вход IN 1-го разряда SHB_1 счетчика через схему на транзисторах VT1...VT10 (рис. 5), разрешающую счет и блокирующую подачу импульсов при переполнении счетчика, при считывании информации с данного счетчика или по сигналу STOP (рис. 2, 3).

Чтобы избежать переполнения счетчика 1024-м импульсом, что привело бы к обнулению 10-разрядного счетчика и утере информации, остановка счета производится после 1020-го импульса. Эту операцию выполняет схема совпадения на транзисторах VT11...VT27 (рис. 5), на которую подаются сигналы с инверсных выходов NB восьми старших разрядов счетчика. Напряжение высокого уровня с выхода этой схемы блокирует вход первого разряда счетчика, а сигнал с выхода SU1 через инвертор на транзисторах VT38 и VT39 (рис. 2) поступает на блок выходного формирователя VPP (рис. 1), и на внешней контактной площадке PP формируется напряжение низкого уровня (признак переполнения). Другие (не переполненные) счетчики при этом могут продолжать счет. Таким образом реализуется вариант считывания без остановки счета.

Во втором варианте считывания по команде STOP блокируется счет во всех счетчиках и выполняется последовательное считывание информации со всех счетчиков с последующим их обнулением. После окончания считывания снимается блокировка и возобновляется счет.

Сигналом STOP одновременно блокируется счет во всех счетчиках микросхемы, при этом на входы SU2 всех счетчиков SH_1...SH_64 (рис. 2, 5) подается напряжение высокого уровня.

Для обеспечения последовательного считывания информации из счетчиков используется 384-разрядный последовательный регистр сдвига (на рис. 2, схемы RS_1...RS_64), который выполняет роль дешифратора счетчиков. Регистр реализован на *D*-триггерах. Разряды регистров имеют информационный вход SU5, тактовый вход SU4, вход начальной установки SU3 и два комплементарных выхода — прямой S11 и инверсный S2 (рис. 2). По тактовому импульсу CLK (рис. 1, 3) данные с информационного входа SU5 разряда регистра переносятся на его выход S11.

Вход SU3, на который поступает сигнал с входного формирователя FREAD (рис. 1), служит для обнуления содержимого регистров (при высоком уровне напряжения на входе) и обеспечивает включение регистров в режиме считывания (при низком уровне).

Начало считывания задается подачей на вход микросхемы сигнала BREK (рис. 1, 3), который после входного формирователя FBREK поступает на вход BRE первого блока счетчиков STSH_1 (рис. 1) и через инверторы на транзисторах VT27...VT30 (рис. 2) на вход SU5 первого разряда RS_1 регистра сдвига.

Одновременно сигнал BRE через инвертор на транзисторах VT27 и VT28 и схему на транзисторах VT31...VT36 подается на вход SU5 регистра RS_66, и на выходе S11 этого регистра устанавливается высокий потенциал, который включает выходные усилители блока счетчиков (транзисторы VT1...VT24 на рис. 2) на время считывания информации с этого блока.

Импульс BRE, последовательно сдвигаясь вдоль сдвигового регистра тактовыми импульсами CLK, поочередно подключает к считыванию 384 счетчика. По переднему фронту тактового импульса CLK сигнал BRE принимается регистром, а по заднему фронту на выходах S11 и S2 разряда регистра устанавливаются, соответственно, высокий и низкий уровни напряжения, которые подаются на соответствующие входы счетчика и подключают выходы В1...В10 (рис. 2) считываемого счетчика к соответствующим шинам данных, и информация со считываемого счетчика через выходные усилители блока и выходные формирователи FQ1...FQ10 поступает на выходы микросхемы Q1...Q10 (рис. 1). При этом выходы В1...В10 (рис. 2) невыбранных счетчиков находятся в третьем состоянии.

Сигнал с выхода S11 считываемого разряда регистра подается также на вход S12 (рис. 2) предыдущего (уже считанного) счетчика, что возвращает последний в исходное состояние.

После окончания считывания счетчика выход S11 (рис. 2, 5) этого разряда регистра возвращается в состояние низкого уровня напряжения, которое, поступая на соответствующий вход S11 (рис. 5) счетчика, снимает в нем блокировку счета и открывает вход считанного счетчика для приема новой информации с выхода усилителя-преобразователя.

Для обнуления 64-го счетчика блока счетчиков служит дополнительный, 65-й разряд регистра (RS_65 на рис. 2) в каждом блоке, который работает параллельно с первым разрядом регистра следующего блока счетчиков, но при этом выполняет только одну функцию — обнуление 64-го счетчика блока. Это сделано для упрощения конструкции топологии кристалла.

После считывания информации с последнего, 64-го счетчика блока сигнал с выхода S11 разряда RS_64 (рис. 2) сдвигового регистра подается на выход ERE блока счетчиков и является импульсом окончания считывания блока, который используется в качестве импульса BRE начала считывания для следующего блока. Когда информация считана из всех 384 счетчиков, расположенных на кристалле, на внешнем выводе EREK (конец считывания с кристалла) появляется импульс высокого уровня, который при применении в приборе нескольких кристаллов

СБИС может быть использован в качестве импульса *BREK* (рис. 1) для считывания информации со следующего кристалла.

Сигнал с выхода S11 разряда RS_64 сдвигового регистра в блоках счетчиков подается на транзисторы VT33, VT35 (рис. 2), и после считывания 64-го счетчика блока на выходе схемы на транзисторах VT31...VT36, к которому подключен вход SU5 регистра RS_66, устанавливается низкий потенциал, регистр RS_66 переключается, и на выходе S11 этого регистра устанавливается низкий потенциал, который блокирует входы выходных усилителей соответствующего блока счетчиков, и на его выходах DB1... DB10 (рис. 1, 2) устанавливается третье (высокоимпедансное) состояние. Кроме того, низкий потенциал с выхода S11 разряда RS_66 сдвигового регистра поступает на вывод RE блока счетчиков. Сигналы RE с блоков счетчиков STSH_1...STSH_6 (рис. 1) подаются на соответствующие входы RE1...RE6 блока FQE.

Формирователи входных и выходных сигналов

Все входные формирователи работают при типовых для КМОП ИС уровнях входных сигналов (низкий логический уровень $0,3V_{cc}$, высокий логический уровень $0,7V_{cc}$).

Входные формирователи FBREK, FREAD, FSTOP, FCLK (рис. 1) усиливают входные сигналы по амплитуде до V_{cc} и формируют сигналы с требуемыми нагрузочной способностью и фронтами.

Входной формирователь FQE (рис. 1) вырабатывает сигнал QE, который при низком уровне напряжения на входе QE включает выходные формирователи FQ1...FQ10, а при высоком уровне напряжения на входе QE переводит выходы Q1...Q10 в третье состояние – высокоимпедансное состояние выхода, при котором оба выходных транзистора закрыты, что при использовании в приборе МКЧД нескольких СБИС позволяет объединять соответствующие выходы микросхем.

Входной формирователь FQE (рис. 1) включает дополнительную схему, которая разрешает включение выходных формирователей FQ1...FQ10 только во время считывания информации со счетчиков SH1...SH384 (рис. 2). После считывания с последнего счетчика SH384 на всех входах RE1...RE6 устанавливается напряжение низкого уровня, при этом формирователь FQE блокирует включение выходных формирователей FQ1...FQ10, и на выходах Q1...Q10 устанавливается третье состояние. Выходные формирователи FQ1...FQ10 (рис. 1) обеспечивают усиление по мощности сигналов, последовательно поступающих с 384 счетчиков через выходные усилители блока счетчиков, для обеспечения нагрузочной способности выходов микросхемы Q1...Q10 до 100 пФ.

Формирователь сигнала FPP (рис. 1) выполнен по схеме с открытым стоком. В случае пере-

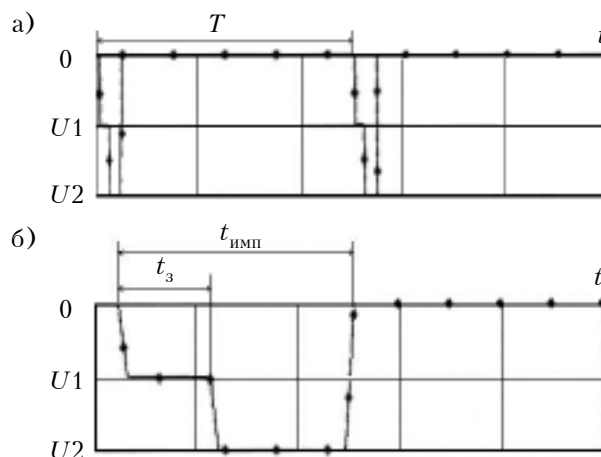


Рис. 6. Последовательность тестовых импульсов (а) и их форма (б) при проверке быстродействия схемы в режиме счета

полнения какого-либо счетчика выходной транзистор этого формирователя открывается и подключает вывод PP к шине корпуса. Это состояние сохраняется на выводе PP до окончания считывания информации с переполненного счетчика (рис. 3).

Формирователь сигнала завершения считывания микросхемы FERЕК усиливает по мощности сигнал, поступающий с выхода S11 384-го разряда регистра сдвига на внешний вывод EREK (рис. 1), обеспечивая необходимую нагрузочную способность.

Применение в приборе МКЧД нескольких СБИС позволит увеличить длину фокальной плоскости детектора (до 5 см при использовании пяти СБИС). В этом случае вывод EREK предыдущей микросхемы подключается ко входу BREK последующей, формируя единый последовательный сдвиговый регистр на 1920 разрядов (при пяти СБИС). При этом импульс BRE подается на вход BREK первой СБИС и, последовательно сдвигаясь вдоль сдвигового регистра, подключает к считыванию 1920 счетчиков. И хотя соответствующие выходы Q1...Q10 всех микросхем соединены, в активном состоянии находятся выходы только той СБИС, с которой в данный момент производится считывание, а выходы остальных СБИС будут находиться в третьем состоянии.

Режим «Тестирование»

В связи с тем, что рабочий режим схемы можно реализовать только в составе какого-либо устройства, например спектрометра, для ее тестирования предусмотрен специальный тестовый режим. Для этого в схему введены специальные тестовые входы TEST1 и TEST2 (рис. 1, 2), которые через емкостную связь подключены ко входным электродам ЕЛ: TEST1 – к нечетным, TEST2 – к четным.

При подаче на тестовые входы TEST1 и TEST2 (рис. 3) отрицательных импульсов по передне-

му фронту импульсов на входных электродах наводится отрицательный заряд, величина которого определяется амплитудой отрицательного импульса и величиной емкости связи C между тестовым электродом и входом ЕL усилителя-преобразователя DIF. Это позволяет имитировать работу микросхемы в режиме управления зарядом, проводить проверку функционирования и оценку чувствительности микросхемы.

В связи с тем, что по заднему фронту тестового импульса на входе усилителя-преобразователя наводится положительный заряд, который стекает через высокоомный транзистор VT1 (рис. 4) в течение нескольких микросекунд, для проверки быстродействия схемы в режиме счета используются импульсы специальной формы (рис. 6) с периодом $T \geq 5$ мкс. В этом случае рабочая частота в режиме счета определяется по формуле

$$F_{\text{имп}} = 1/t_3,$$

где t_3 — длительность задержки между фронтами импульса специальной формы (рис. 6, б).

Заключение

Разработанная СБИС вместе с двумя МКП типа F2370-01 (фирма Hamamatsu, Япония) в шевронной сборке использованы при разработке микроканального координатно-чувствительного детектора в НИИ микроприборов НАНУ. Проведенные в Институте прикладной физики НАНУ исследования экспериментальных образцов прибора в составе лазерного масс-спектрометра МС3103 (производство АО «СЭЛМИ», Украина) подтвердили его высокую чувствительность — зафиксированы изотопы сурьмы Sb121 и Sb123, атомная концентрация которых составляла соответственно всего 0,0008 и 0,0006%. Использование такого детектора в лазерном масс-спектрометре в качестве приемника ионов изотопов позволяет регистрировать результаты анализа в режиме реального времени и проводить юстировку масс-спектрометра по конкретным изотопам примесных элементов. Это позволит значительно сократить время анализа, повысить его точность и чувствительность при снижении расхода проб, что особенно важно при анализе наноматериалов, а также оперативно управлять процессами создания материалов.

Такие детекторы могут быть использованы для модернизации масс-спектрометров и для создания других современных приборов для регистрации профилей и пространственного расположения пучков нейтральных и заряженных частиц.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Сидоренко В. П., Вербицкий В. Г., Прокофьев Ю. В. и др. СБИС для микроэлектронного координатно-чувствительного детектора приборов элементного анализа материалов // Технология и конструирование в электронной аппара-

туре. — 2009. — №2. — С. 25–29. [Sidorenko V. P., Verbitskii V. G., Prokof'ev Yu. V. i dr. // Tekhnologiya i Konstruivovanie v Elektronnoi Apparature. 2009. N 2. P. 25]

2. Патент України № 94103. Мікроелектронний координатно-чутливий детектор маспектрометра / Борискін О. І., Вербицький В. Г., Сторіжко В. Ю. та ін. — 2011. — Бюл. № 4. [Patent Ukraini № 94103. / Boriskin O. I., Verbits'kii V. G., Storizhko V. Yu. ta in. 2011. Bull. 4]

3. Allen P. and Holberg D. CMOS Analog Circuit Design. — New York, Oxford: Oxford University Press, 2002.

Дата поступления рукописи
в редакцию 29.05 2012 г.

Sidorenko V. P., Verbitskii V. G., Prokofiev Yu. V. **Circuit design of VLSI for microelectronic coordinate-sensitive detector for material element analysis.**

Keywords: VLSI, CMOS technology, microelectronic coordinate-sensitive detector, elemental analysis, convertor amplifier, 10-bit counters.

There has been designed, manufactured and tested a VLSI providing as a part of the microelectronic coordinate-sensitive detector the simultaneous elemental analysis of all the principles of the substance. VLSI ensures the amplifier-converter response on receiving of $1,6 \cdot 10^{-13}$ C negative charge to its input. Response speed of the microcircuit is at least 3 MHz in the counting mode and more than 4 MHz in the counter information read-out mode. The power consumption of the microcircuit is no more than 7 mA.

Ukraine, Kiev, RI of Microdevices of NASU.

Сидоренко В.П., Вербицкий В.Г., Прокоф'єв Ю. В. **Схемотехніка НВІС для мікроелектронного координатно-чутливого детектора для елементного аналізу матеріалів.**

Ключові слова: НВІС, КМОП-технологія, мікроелектронний координатно-чутливий детектор, елементний аналіз, підсилювачі-перетворювачі, 10-розрядні лічильники.

Розроблено, виготовлено та випробувано НВІС, що дозволяє в складі мікроелектронного координатно-чутливого детектора проводити одночасний аналіз елементного складу речовини. Схема забезпечує спрацьовування підсилювача-перетворювача при надходженні на його вхід негативного заряду величиною $1,6 \cdot 10^{-13}$ Кл. Швидкодія мікросхеми в режимі рахунку становить не менше 3 МГц, в режимі зчитування інформації з лічильників — більше 4 МГц, струм споживання — не більше 7 мА.

Україна, м. Київ, НДІ мікроприладів НАНУ.