

6. *Higashitani k., Iseri H., Okuhara K. et al.* Magnetic effects on zeta potential and diffusivity of nonmagnetic cjljidal particles // j. Colloid and interface sci. – 1995. – v.172, n2;
7. *Р. Айлер.* Химия кремнезема. Растворимость, полимеризация, коллоидные и поверхностные свойства, биохимия. Том 2, Москва, «Мир», 1982 - с. 520;
8. *Г. Рели.* Курс неорганической химии. Том 1, Москва, Издательство иностранной литературы, 1963 - 920 с;
9. *Кадошиков В.М., Литвиненко Ю.В., Забулонов Ю.Л., Писанская И.Р.* Свойства магнитных коллоидов, активированных электромагнитным полем // Збірник наукових статей / VI Міжнародна науков-практична конференція “Екологічна безпека: проблеми і шляхи вирішення”, 6-10 вересня 2010 р., м. Алушта, АР Крим, Україна, Том 1 – с. 138 – 142;
10. *В.И. Михеев.* Рентгенометрический определитель минералов. – Москва. Гос. НТИ литературы по геологии и охране недр. 1957 – 867 с;
11. *Н.В. Белов.* Очерки по структурной минералогии. Москва, «Недра», 1976 – 344 с;
12. *У. Брэгг, Г. Кларрингбулл.* Кристаллическая структура минералов. Москва, «Мир», 1967 – 389 с;
13. *Шутько А.П., Гомеля Н.Д., Терещенко О.Н.* Очистка сточных вод от радиоизотопов ^{137}Cs и ^{90}Sr методом объемной коагуляции // Труды Междунар. Конф. «Переработка отходов и очистка сточных вод». – Маиуполь. – 1996. – С.53;
14. *Шутько А.П., Гомеля Н.Д., Терещенко О.Н.* Очистка сточных вод от радиоизотопов ^{137}Cs и ^{90}Sr сорбционными методами // Труды Междунар. Конф. «Переработка отходов и очистка сточных вод». – Маиуполь. – 1996. – С.51-52;
15. *Шутько А.П., Гомеля Н.Д., Терещенко О.Н.* Очистка сточных вод от радиоизотопов ^{137}Cs и ^{90}Sr методом пенной флотации // Труды Междунар. Конф. «Переработка отходов и очистка сточных вод». – Маиуполь. – 1996. – С.51;
16. *Н.П. Дикий, А.Н. Довбня, Е.П. Медведева.* Гамма-активационный и спектральный анализ элементного состава, структуры и сорбционной активности радиационно-синтезированных наночастиц магнетита и осмия// Вісник харківського університету. – 2008. - № 823 – С. 78 – 84.

Поступила 10.03.2011р.

УДК 004.274:004.272.23

С.Я. Гильгурт, канд.техн.наук, ИПМЭ им. Г.Е.Пухова НАНУ, г. Киев

АНАЛИЗ ТИПОВЫХ РЕЖИМОВ ОБМЕНА ДАННЫМИ С РЕКОНФИГУРИРУЕМЫМИ ВЫЧИСЛИТЕЛЯМИ

Аннотация. В статье на основе анализа существующих реконфигурируемых вычислителей выделены и предложены в качестве типовых решений для большинства применений три режима обмена данными с компьютерной системой, не зависящие от типа физического интерфейса, используемого семейства ПЛИС, уровня сложности синтезируемой вычислительной структуры.

Библиогр.: 12 наим.

Ключевые слова: реконфигурируемый вычислитель, интерфейс, унификация, режим обмена данными.

Реконфигурируемые вычислители на базе ПЛИС типа FPGA, используемые в качестве высокопроизводительных сопроцессоров, находят все более широкое применение для решения задач различного класса. С этой целью их включают в состав компьютеров, начиная от обычных ПК и вплоть до суперкомпьютеров всемирно известных производителей, таких как Cray, SGI, SRC и др. [1]

Одним из ограничений, сдерживающих более быстрое распространение реконфигурируемых вычислителей, остается все еще недостаточная проработанность и изученность вопросов эффективного обмена данными между головной вычислительной системой – хостом (host) и реконфигурируемым устройством (device).

В работе [2] проанализированы особенности сопроцессоров на базе ПЛИС, сформулированы требования к таким устройствам, а также вытекающие из них структура и состав. Изучены соотношения с другими классами вычислительных устройств. В результате данные устройства выделены в отдельный класс и названы реконфигурируемыми вычислителями (РУВ). Предложена классификация производимых в настоящее время отладочных средств и ускорителей на базе ПЛИС по степени соответствия требованиям, предъявляемым к РУВ. В этой же работе исследованы наиболее перспективные интерфейсы обмена данными между ПЛИС, входящей в состав РУВ, и другими компонентами вычислительной системы.

В настоящей работе исследуются основные принципы и особенности организации обмена данными, образующие более высокий уровень взаимодействия хост-системы и РУВ по отношению к физическому интерфейсу, не зависящий от его типа, а также от используемого семейства ПЛИС и сложности синтезируемой вычислительной структуры.

Анализ последних достижений и публикаций по указанной теме свидетельствует о наличии большого количества исследований и разработок, направленных на синтез загружаемых в ПЛИС конфигураций, в то время как вопросам организации обмена данными с центральным процессором ведущего компьютера в литературе практически не уделяется внимания. Особенно мало публикаций, посвященных анализу различных режимов взаимодействия хоста с реконфигурируемым устройством, в которых учитывались бы особенности программируемой логики.

Целью настоящей работы является проведение анализа возможных режимов взаимодействия центрального процессора головной вычислительной системы с загруженной в ПЛИС конфигурацией, а также выделение наиболее часто используемых режимов в качестве типовых решений.

В работах [3, 4] говорится о важной роли стандартизации и унификации для развития и становления присоединенных сопроцессоров различных

классов, особенно – для реконфигурируемых.

Следует заметить, что, в отличие от ускорителей, например, на базе графических адаптеров GPGPU, реконфигурируемые устройства в силу своей гибкости и многофункциональности предоставляют более богатые возможности по организации обмена данными. Однако, в плане стандартизации это скорее недостаток. И, если для GPGPU вопросы совместимости решаются естественным образом (графический адаптер является стандартным компонентом компьютера, как на уровне аппаратного интерфейса, так и для операционной системы), то в случае РУВ возникают определенные сложности.

В работе [5] исследован полный путь, который проходит информация, в процессе обмена данными между центральным процессором хоста и реконфигурируемым устройством, начиная от операторов языка программирования пользовательского приложения, и вплоть до инструкций описания аппаратной структуры, загруженной в ПЛИС. Для большинства звеньев данной последовательности вопросы стандартизации могут быть реализованы организационными мерами, что избавляет пользователя от их решения. Единственным этапом, с которым разработчику, так или иначе, придется иметь дело (помимо прикладного уровня), является аппаратный интерфейс между контроллером связи с головной вычислительной системой, с одной стороны, и микросхемой ПЛИС – с другой (рис.1). Причина в том, что со стороны программируемой логики компоненты данного интерфейса являются частью вычислительной структуры, синтезируемой пользователем.

Для однозначного понимания вопросов, обсуждаемых далее в настоящей работе, необходимо определиться с некоторыми определениями и правилами нотации.

Под терминами *host*, *хост* будем подразумевать выделенный аппаратный контроллер, входящий в состав РУВ, предназначенный для связи с головной вычислительной системой, в качестве которой может выступать либо отдельная ПЭВМ, либо вычислительный узел суперкомпьютера.

Термины *device*, *устройство* будут обозначать синтезируемую в ПЛИС вычислительную структуру, предназначенную для выполнения ресурсоемких расчетов, от выполнения которых необходимо разгрузить центральный процессор хоста.



Рис.1. Интерфейс между хостом и устройством.

Такое именование не отличается строгостью, но близко к терминологии, устоявшейся в области унифицированных вычислителей.

Названия операций обмена информации *запись*, *вывод*, *загрузка* в дальнейшем обсуждении будут обозначать передачу данных по направлению от хоста к устройству.

Термины *чтение*, *ввод*, *выгрузка* будут относиться к передаче данных по направлению от устройства к хосту.

Анализ интерфейсов, применяемых такими производителями РУВ, как Nallatech, Alpha Data, Annapolis Micro Systems, Celoxica, Digilent и др. позволил выявить режимы, представляющие наибольший интерес в плане стандартизации [6 – 10]. В результате автором выделены три вида, которые должны присутствовать в подавляющем большинстве решений на базе РУВ:

- режим программирования (РП) микросхемы ПЛИС (загрузки конфигурации из головной вычислительной системы);
- режим регистрового асинхронного интерфейса (РРАИ);
- режим скоростного синхронного интерфейса (РССИ).

Вопросы организации режима РП решаются на уровне производителя РУВ. Данный режим доступен разработчику только через функции пользовательского интерфейса, и его подробное исследование выходит за рамки настоящей работы.

Рассмотрим режим РРАИ.

В этом режиме вычислительная структура, синтезированная в ПЛИС, со стороны интерфейса представлена в виде набора регистров, доступных либо для чтения, либо для записи, либо как для чтения, так и для записи (рис.2). Конкретный регистр выбирается по номеру (адресу), который заносится в специальный адресный регистр. В случае использования 8-битного адресного регистра, в устройстве может быть синтезировано до 256 регистров чтения/записи.

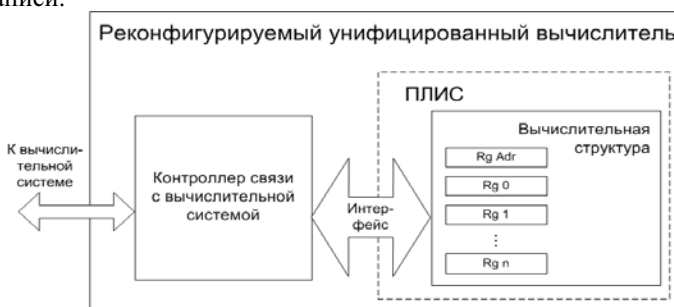


Рис.2. Режим регистрового асинхронного интерфейса (РРАИ).

Данный интерфейс отличается простотой реализации, удобством использования, минимум линий связи. В табл.1 приведено описание аппаратных сигналов интерфейса в режиме РРАИ, заимствованное с некоторыми упрощениями из документа [11].

Таблица 1. Сигналы РРАИ

Название сигнала	Источник	Описание
DB0 – DB7	bidirect.	Двухнаправленная шина данных. Хост является источником при записи, устройство – при чтении.
~Write	host	Управление направлением передачи. 1 – чтение (хост считывает из устройства); 0 – запись (хост записывает в устройство).
~AStb	host	Строб адреса. Запись в регистр адреса.
~DStb	host	Строб данных. Запись / чтение регистра данных.
Wait	device	Сигнал квитирования, используемый для подтверждения готовности устройства принимать / передавать данные.

Главным недостатком рассмотренного режима является невозможность организации быстрого обмена данными.

Режим синхронной передачи РССИ позволяет достичь намного более высокой скорости обмена данными, но сложнее в реализации (рис.3). Данное усложнение обусловлено целым рядом специфических особенностей и технических трудностей, присущих синхронной передаче. Ниже рассмотрены наиболее существенные из них, а также возможные варианты решения соответствующих проблем.



Рис.3. Режим скоростного синхронного интерфейса (РССИ).

Во-первых, источник тактовых сигналов должен быть единым как для аппаратной части хоста, так и для синтезированной в ПЛИС схемы. Один из вариантов решения (использованный в рассматриваемом случае) заключается в том, что источником синхросерии является контроллер связи с компьютером.

Другая проблема связана с такой особенностью взаимодействия аппаратных компонентов унифицированных вычислителей и программных

модулей компьютерной системы, как временная нестабильность, непредсказуемость задержек. Для обеспечения надежного интерконнекта требуется ввести в состав контроллера связи с головной системой (входящего в РУВ) специальные буферные схемы, например, на основе стеков типа FIFO (от англ. First In, First Out – первый вошел, первый вышел).

Таблица 2. Сигналы РССИ

Название сигнала	Источник	Описание
IfClk	host	Тактовый сигнал интерфейса. Синхронизирует работу буферов FIFO с периферийной схемой, синтезированной в ПЛИС.
StmEn	host	Режим потока. Сигнал разрешения синхронной передачи данных.
DB0 – DB7	bidirect.	Двухнаправленная шина данных. Хост является источником при записи, устройство – при чтении.
FlagA	host	Флаг буфера вывода (загрузки в устройство). Сигнализирует о том, что буфер вывода пуст.
FlagB	host	Флаг буфера ввода (выгрузки из устройства). Сигнализирует о том, что буфер ввода переполнен.
FIFOAdr	device	Сигнал выбора буфера, к которому будет подключена шина данных DB: 0 – выбран буфер вывода (загрузка в устройство); 1 – выбран буфер ввода (выгрузка из устройства).
~SIrD	device	Читать следующий байт. Сигнал синхронизации чтения из буфера вывода (т.е. <i>записи</i> в устройство!) Когда активен, по каждому фронту сигнала IfClk внутренний счетчик буфера FIFO увеличивается на единицу.
~SIWr	device	Писать следующий байт. Сигнал синхронизации записи в буфер ввода (т.е. <i>чтения</i> из устройства!) Когда активен, по каждому фронту сигнала IfClk внутренний счетчик буфера FIFO увеличивается на единицу.
~SIOe	device	Сигнал разрешения для буфера вывода. Когда активен, на шину данных DB выдается содержимое буфера вывода, на которое указывает его внутренний счетчик.
~PktEnd	device	Конец ввода. Сигнализирует о необходимости завершить операцию ввода (выгрузки из устройства). При его активном состоянии сигнал FIFOAdr должен находиться в "1".

В документе [12] описано решение, в котором задействованы два отдельных буфера FIFO для входного и выходного потоков данных. В табл.2 перечислены аппаратные сигналы интерфейса в режиме РССИ для данного решения, приведенные также с некоторыми упрощениями.

Здесь необходимо сделать замечание по поводу нотации. К сожалению, в упомянутом документе нарушен объявленный выше порядок именования сигналов в зависимости от направления движения информации. А именно, сигнал \sim SIRd имеет смысл записи в устройство, а \sim SIWr – чтения из устройства. Данное недоразумение лишний раз подтверждает важность стандартизации и унификации решений для РУВ.

Наличие буферных схем в контроллере предъявляет повышенные требования к синтезируемой в ПЛИС схеме, которая должна корректно взаимодействовать с ними, что является, по-видимому, главной сложностью реализации синхронного режима передачи данных. Важным является также обеспечение достаточного быстродействия со стороны устройства, для достижения максимальной эффективности режима. Удачным решением следует признать применение на стороне устройства схемы двухпортового ОЗУ. При этом один порт используется для обмена данными с хостом, а второй – для взаимодействия с остальной вычислительной структурой, синтезированной в ПЛИС.

Перед началом операции обмена в режиме РССИ в РУВ необходимо предварительно передать некоторые настроечные параметры, в частности, число передаваемых байтов информации. Использовать для этой цели сам РССИ невозможно, а организовывать какой-либо вспомогательный режим нецелесообразно, поскольку это усложнит задачу еще в большей степени. Такой подход, фактически, увеличит число режимов, обязательных для реализации пользователями РУВ. Более простое решение проблемы заключается в том, чтобы передавать необходимые режиму РССИ настроечные параметры посредством рассмотренного выше режима РРАИ.

При реализации обоих режимов обмена данными линии связи могут использоваться поочередно в целях экономии аппаратных ресурсов. Так, в разработке, описанной в упомянутом выше документе [12], совместно используются шина данных DB0 – DB7, а также пары сигнальных линий, по которым передаются сигналы, соответственно для режимов РРАИ / РССИ: FlagA/AStb FlagB/DStb SIRd/Wait.

Для того, чтобы такое совмещение стало возможным, необходимо предусмотреть функцию переключения между режимами, причем, реализована такая функция должна быть аппаратно. В рассмотренном интерфейсе для этой цели использует сигнал StmEn.

Существенный момент, на который следует обратить внимание при совместном использовании одного и того же оборудования для реализации двух разных режимов, заключается в следующем. Поскольку настроечные параметры режима РССИ передаются в устройство в режиме РРАИ (см. выше), синтезируемая пользователем структура должна обеспечивать прием

и хранение этих параметры, чтобы задействовать их впоследствии, после переключения в режим РССИ.

Существует еще один нюанс, связанный с применением синхронного режима. Суть в том, что задержка, возникающая при вызовах функций API из прикладных программ может свести на нет его скоростные преимущества. Чтобы такого не произошло, необходимо по возможности сократить число обращений из прикладной программы к API, увеличив таким образом количество данных, передаваемых в/из РУВ за одну транзакцию.

Выводы. Режимы РРАИ и РССИ, выделенные в настоящей работе в результате анализа существующих реконфигурируемых ускорителей, органично дополняют друг друга, обеспечивая выполнение большинства функций коммуникации и передачи данных между компьютерной системой и РУВ. Они могут выступать в качестве типового решения при стандартизации применения реконфигурируемых вычислителей.

1. *Опанасенко В.Н.* Высокопроизводительные реконфигурируемые компьютеры на базе FPGA // Збірник наукових праць «Проблеми інформатизації та управління». – К.: НАУ, 2009. – Вип. 3(27). – С. 114-118.
2. *Гильгурт С.Я.* Обзор современных реконфигурируемых унифицированных вычислителей // Моделювання та інформаційні технології. Зб. наук. пр. ІПМЕ НАН України. – Вип. 49. – Київ: 2008. – С. 17-24.
3. *Гильгурт С.Я.* О применении реконфигурируемых унифицированных вычислителей для решения научно-технических задач / Параллельные вычислительные технологии (ПаВТ'2008) // Труды международной научной конференции (Санкт-Петербург, 28 января – 1 февраля 2008 г.). – Челябинск: Изд. ЮУрГУ, 2008. – С. 358-363.
4. *Гильгурт С.Я.* Анализ существующих унифицированных вычислителей для выполнения ресурсоемких расчетов // Моделювання та інформаційні технології. Зб. наук. пр. ІПМЕ НАН України. – Вип. 48. – Київ: 2008. – С. 115-120.
5. *Гильгурт С.Я., Гиранова А.К.* Некоторые вопросы обмена данными между персональным компьютером и реконфигурируемым устройством // Моделювання та інформаційні технології. Зб. наук. пр. ІПМЕ НАН України. – Вип. 43. – Київ: 2007. – С. 86-94.
6. Nallatech, a subsidiary of Interconnect Systems Inc. [Electronic Resource] Access mode: <http://www.alpha-data.com/> (14.02.11). – Назва з екрану.
7. Alpha Data, High Performance Computing [Electronic Resource] Access mode: <http://www.alpha-data.com/> (14.02.11). – Назва з екрану.
8. Annapolis Micro Systems, Inc., The FPGA Performance Company [Electronic Resource] Access mode: <http://www.annapmicro.com/> (14.02.11). – Назва з екрану.
9. Celoxica [Electronic Resource] Access mode: <http://www.celoxica.com/> (14.02.11). – Назва з екрану.
10. Digilent ® [Electronic Resource] Access mode: <http://www.digilentinc.com/> (14.02.11). – Назва з екрану.
11. Digilent Asynchronous Parallel Interface (DEPP). Revision: September 2, 2010 [Electronic Resource] Access mode: http://www.digilentinc.com/Cart/Download.cfm?DURL=/Data/Products/adept2/digilent.adept.sdk_v2.0.1.zip&ProductID=AdeptSDK2.0.1-w (14.02.11). – Загл.

12. Diligent Synchronous Parallel Interface (DSTM). Revision: September 2, 2010 [Electronic Resource] Access mode: [http://www.diligentinc.com/Cart/Download.cfm?DURL=/Data/Products/adept2/diligent.adept.sdk_v2.0.1.zip&ProductID=AdeptSDK2.0.1-w\(14.02.11\)](http://www.diligentinc.com/Cart/Download.cfm?DURL=/Data/Products/adept2/diligent.adept.sdk_v2.0.1.zip&ProductID=AdeptSDK2.0.1-w(14.02.11)). – Загл.

Поступила 4.04.2011г.

УДК 621.039.766

В.В. Турбаевский, к.т.н., зам. начальника ЦРБ ОП ЗАЭС

КОНТРОЛЬ ВЫБРОСОВ ВСПОМОГАТЕЛЬНЫХ КОРПУСОВ АЭС: СОСТОЯНИЕ И ПУТИ СОВЕРШЕНСТВОВАНИЯ

Произведен анализ состояния системы контроля выбросов через вентиляционные системы СК АЭС с ВВЭР на примере Запорожской АЭС (ЗАЭС).

Введение

Контроль выбросов радиоактивных веществ АЭС (далее - выброс) является одной из важнейших составляющих показателя радиационной безопасности. Именно выброс является определяющим при расчете воздействия АЭС на окружающую среду и население. Именно по величине выброса (отнесенной на величину установленной мощности АЭС или на величину допустимого уровня) сравнивают состояние радиационной безопасности на АЭС. Действующая нормативная документация определяет «воздушный» путь загрязнения окружающей среды как наиболее значимый. Несмотря на то, что при нормальной эксплуатации АЭС выбросы радиоактивных веществ не превышают 0,1% от допустимых уровней, контроль за выбросами является одной из приоритетных задач обеспечения радиационной безопасности.

Однако, в настоящий момент качественное и достаточно точное определение величины выброса является сложной задачей. В первую очередь это связано с тем, что определение расхода воздуха в режиме реального времени, выбрасываемого через вентиляционные трубы специальных (вспомогательных) корпусов (СК) на некоторых АЭС попросту не осуществляется. Кроме того, различные методики определения удельной или объемной активности выбрасываемых через вентиляционные системы сред вносят существенный вклад в показатель точности измерений. Следует учитывать тот факт, что выбросы с СК вносят существенный вклад в суммарный выброс с АЭС по причине наличия значительного количества систем переработки радиоактивных вод и твердых радиоактивных веществ.