

МЕТОДИ ТА НВІС-СТРУКТУРИ ПРИСТРОЇВ ПАРАЛЕЛЬНО-ВЕРТИКАЛЬНОГО ОБЧИСЛЕННЯ СУМ ПАРНИХ ДОБУТКІВ

VLSI-oriented methods and structures of parallel-vertical calculations of even products sums have been developed. Valuations of hardware expenditure and developed structures performance have been carried out.

Keywords: *parallel-vertical method, VLSI-technology, even products sum, paralleling.*

Розроблено методи та НВІС-структури паралельно-вертикального обчислення сум парних добутоків, проведено оцінку затрат обладнання та швидкодії розроблених структур.

Ключові слова: *паралельно-вертикальний метод, НВІС-технологія, сума парних добутоків, розпаралелення.*

Постановка проблеми. Значна частина матричних обчислень, алгоритмів цифрової обробки сигналів і нейроалгоритмів ґрунтуються на макрооперації обчислення сум парних добутоків [1–5]. Традиційно такі макрооперації обчислюють за такою формулою:

$$Z = \sum_{j=1}^m A_j B_j = A_1 B_1 + A_2 B_2 + \dots + A_m B_m . \quad (1)$$

Під час обчислення сум парних добутоків за формулою (1) потрібно виконати m множень і $m-1$ додавань [3]. Переважно обчислення сум парних добутоків необхідно виконувати над інтенсивними потоками даних у реальному часі на апаратних засобах з високою ефективністю використання обладнання, структура яких орієнтована на НВІС-реалізацію. Задовольнити такі вимоги можна за допомогою конвеєризації та розпаралелення процесу обчислення, узгодження інтенсивності надходження потоків даних $P_d = kn_d F_d$ з обчислювальною інтенсивністю пристрою $D_k = F_k m h$, де k – кількість каналів надходження даних; n_d – розрядність каналів надходження даних; F_d – частота надходження даних; F_k – тактова частота роботи конвеєра; m – кількість трактів обробки; h – розрядність трактів обробки.

Задача створення НВІС-пристроїв обчислення сум парних добутоків з високою ефективністю використання обладнання зводиться до мінімізації апаратних затрат та кількості виводів інтерфейсу, збільшення однорідності структури та регулярності зв'язків при забезпеченні режиму реального часу. Забезпечити такі вимоги можна розробленням методів, алгоритмів і структур, орієнтованих на НВІС-реалізацію.

Аналіз останніх досліджень та публікацій. Аналіз останніх досліджень [2–5] свідчить, що є два підходи до апаратної реалізації алгоритмів обчислення сум парних добутоків. Перший з них ґрунтується на операціях множення і додавання, другий – на операціях додавання, інверсії та зсуву. Для НВІС-реалізацій макрооперації обчислення сум парних добутоків в основному використовується другий підхід, який дає змогу оптимізувати пристрій за швидкістю, апаратними витратами та збільшити однорідність і регулярність структури.

Обчислення сум парних добутоків у базисі елементарних операцій зводиться до формування і підсумовування часткових добутоків. Особливістю існуючих методів обчислення сум парних добутоків у базисі елементарних операцій є те, що вони ґрунтуються на формуванні і підсумовуванні часткових добутоків для кожної пари операндів. У разі одночасного надходження всіх операндів, що представлені

© І. Г. Цмоць, Б. І. Балич, О. В. Скорохода, 2010

паралельним кодом, паралельне обчислення сум парних добутоків на основі існуючих методів і алгоритмів вимагає великих затрат обладнання і значної кількості виводів інтерфейсу, які залежать як від кількості операндів, так і від їх розрядності. Вартість і швидкодія спеціалізованих НВІС для паралельного обчислення сум парних добутоків значною мірою залежить як від кількості, так і від якості виводів інтерфейсу [7]. Для спеціалізованих НВІС число зовнішніх виводів залежить від рівня технології та розміру кристалу, а якість виводів інтерфейсу визначається затримкою переключення зовнішніх зв'язків, які навантажені на ці виводи.

Формулювання мети статті. На сучасному етапі розвитку НВІС-технологій особливої актуальності набуває проблема розроблення нових ефективних методів, алгоритмів і НВІС-структур для обчислення сум парних добутоків на основі багатооперандного паралельно-вертикального (паралельно-порозрядного) підходу до обробки даних. Особливістю методів і алгоритмів обчислення сум парних добутоків, що ґрунтуються на такому підході, є формування і підсумовування макрочасткових добутоків, кількість яких не залежить від кількості операндів, а залежить від їх розрядності. Методи та алгоритми паралельного обчислення сум парних добутоків на основі багатооперандного паралельно-вертикального підходу повинні забезпечувати детерміноване переміщення даних, бути добре структурованими та орієнтованими на НВІС-реалізацію.

Тому метою дослідження є розроблення методів, алгоритмів, НВІС-структур паралельно-вертикального обчислення сум парних добутоків і їх оцінка за витратами обладнання та швидкодією.

Виклад основного матеріалу. Для паралельного обчислення сум парних добутоків використовуємо багатооперандний паралельно-вертикальний підхід, який передбачає паралельно-порозрядне надходження операндів, формування і підсумовування макрочасткових добутоків [7–9].

Для реалізації цього методу обчислення оператора сум парних добутоків необхідно, щоб множники A_j і B_j були представлені в порозрядному вигляді згідно з формулою [5]:

$$A_j = \sum_{i=0}^{n-1} (-1)^{2^i} 2^{-i} A_{ji}, B_j = \sum_{i=0}^{n-1} (-1)^{2^i} 2^{-i} B_{ji}, \quad (2)$$

де A_{ji}, B_{ji} – цифри i -х розрядів множників A_j і B_j .

За формуванням макрочасткових добутоків методи обчислення сум парних добутоків можна розділити на дві групи: з паралельним і з послідовним формуванням макрочасткових добутоків. У цій статті ми розглянемо методи з паралельним формуванням макрочасткових добутоків.

Формування макрочасткових добутоків можна здійснювати, починаючи з аналізу молодших чи старших розрядів множників B_j .

Обчислення сум парних добутоків, починаючи з молодших розрядів множників B_j здійснюється в два етапи: на першому етапі виконується накопичення множених A_j , а на другому етапі в кожному i -му такті ($i = 1, \dots, n$) виконується формування та накопичення макрочасткових добутоків згідно з такими формулами:

$$P_i = \sum_{j=1}^m A_j B_{ji}, \quad (3)$$

$$Z_i = 2^{-1} Z_{i-1} + P_i, \quad (4)$$

де P_i – i -й макрочастковий добуток; B_{ji} – i -й розряд j -го множника B_j ; $Z_0 = 0$.

Макрочастковий добуток P_i формується паралельним додаванням m часткових добутоків $P_{ji} = A_j B_{ji}$ на m -входовому суматорі. Часткові добутки для кожної

пари добутків формуються згідно з формулою:

$$P_{ji} = \begin{cases} A_j, & \text{якщо } \hat{A}_{ji} = 1, \\ 0, & \text{якщо } \hat{A}_{ji} = 0. \end{cases} \quad (5)$$

Структура пристрою обчислення сум парних добутків, який реалізує цей метод обчислення, наведена на рис. 1, де D_1, \dots, D_m – інформаційні входи.

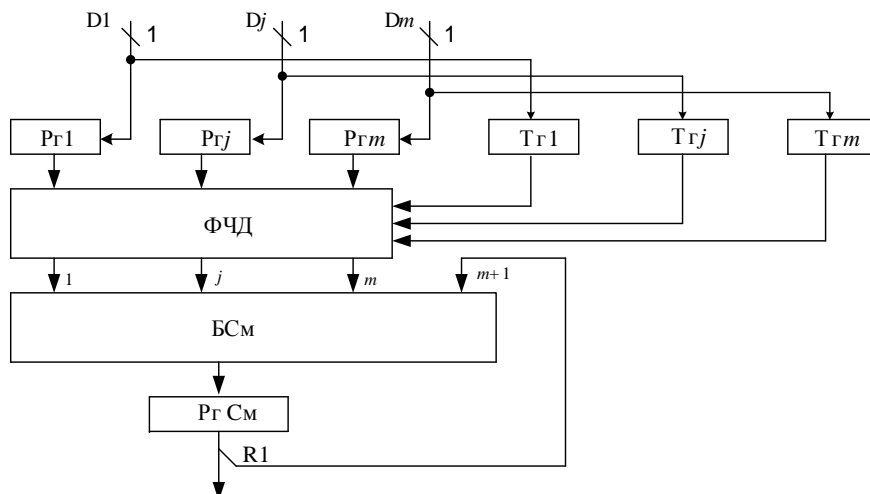


Рис. 1. Структура пристрою обчислення сум парних добутків, починаючи з молодших розрядів множників.

Основними компонентами такого пристрою є тригери Тг, регістри Рг, формувач часткових добутків ФЧД і багатовходовий суматор БСм. У кожному такті роботи такого пристрою здійснюється формування часткових добутків для всіх множників і їх додавання із попередньою сумою, зсунутою на один розряд вправо. У цьому пристрої формування часткових добутків виконується за алгоритмом з аналізом одного розряду множників.

Затрати обладнання на реалізацію цього пристрою визначають за таким виразом:

$$W_{i \delta 1} = (m+1)W_{D\bar{a}} + mW_{\bar{a}\bar{a}} + W_{\bar{a}\bar{a}1} + W_{(m+1)-C_i},$$

де W_{P_r} , W_T , $W_{\text{ФЧД}}$, $W_{(m+1)-C_m}$ – затрати обладнання відповідно на регістр, тригер, формувач часткових добутків, $(m+1)$ -вхідний суматор.

Обчислення сум парних добутків у цьому пристрої виконується за $2n$ такти (n – розрядність операндів), кожний з яких

$$t_1 = t_{D\bar{a}} + t_{\bar{a}\bar{a}1} + t_{(m+1)-\bar{N}_i},$$

де t_{P_r} , $t_{\text{ФЧД}}$, $t_{(m+1)-C_m}$ – час спрацювання відповідно регістра, формувача часткових добутків і $(m+1)$ -вхідного суматора.

Використання під час паралельно-вертикального обчислення сум парних добутків алгоритмів формування часткових добутків з аналізом двох і більше розрядів множників B_j не забезпечує підвищення швидкодії, а тільки збільшує витрати обладнання. Підвищення швидкодії під час обробки неперервних потоків даних можна досягнути при суміщенні процесів формування та накопичення макрочасткових добутків для k -го масиву з введенням множених A_j для $(k+1)$ -го масиву даних [10–12].

Зменшити кількість часткових добутків при обчисленні сум парних добутків з молодших розрядів можна використовуючи *метод формування макродобутків*

на базі попередніх обчислень [12–14]. Під час реалізації цього методу попередні обчислення виконуються на базі однорозрядних суматорів у процесі введення множених A_j . Під час формування часткового добутку для двох і більше сум пар добутків використовуються попередні обчислення, кількість яких залежить від сум парних добутків, для яких формується частковий добуток. Кількість додаткових однорозрядних суматорів визначають за таким виразом:

$$h = \frac{m}{v} 2^v - (v + 1), \quad (6)$$

де v – кількість сум парних добутків, для яких формується частковий добуток.

Формування часткового добутку для двох сум пар добутків виконується за таким виразом:

$$P_{li} = \begin{cases} 0, & \text{якщо } \hat{A}_{(2l-1)i} = \hat{A}_{2li} = 0 \\ \hat{A}_{2l-1}, & \text{якщо } \hat{A}_{(2l-1)i} = 1, \quad \hat{A}_{2li} = 0 \\ \hat{A}_{2l}, & \text{якщо } \hat{A}_{(2l-1)i} = 0, \quad \hat{A}_{2li} = 1 \\ \hat{A}_{2l-1} + \hat{A}_{2l}, & \text{якщо } \hat{A}_{(2l-1)i} = \hat{A}_{2li} = 1. \end{cases} \quad (7)$$

де $l=1, \dots, n/2$.

Використання алгоритму формування часткових добутків за формулою (7) дає змогу зменшити вдвічі кількість часткових добутків і, відповідно, кількість входів багатовходового суматора. Структура пристрою, який працює за цим алгоритмом, наведена на рис. 2, де СМ – суматор; БлПОР1, ..., БлПОР $m/2$ – блоки попередніх обчислень і регістрів, КМ – комутатор.

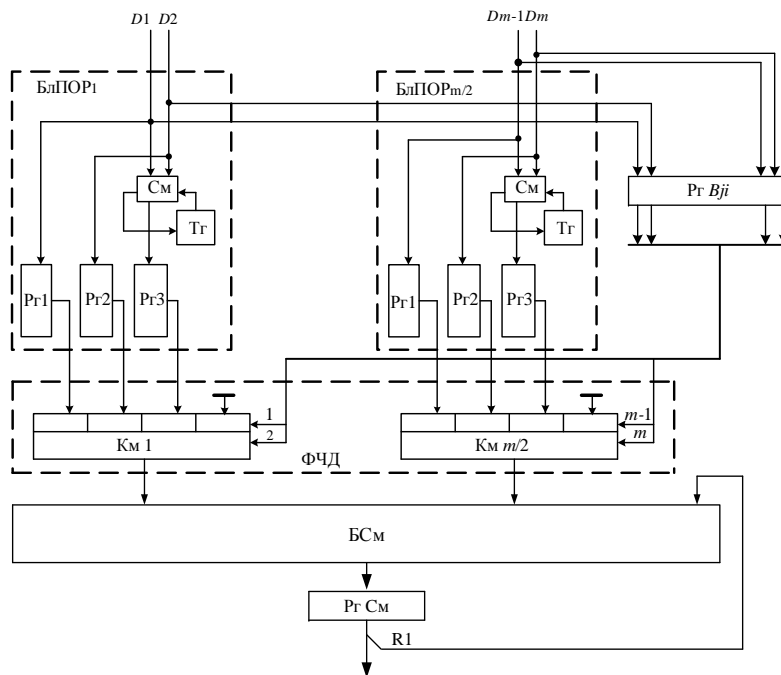


Рис. 2. Структура пристрою обчислення сум парних добутків на базі попередніх обчислень.

Затрати обладнання на реалізацію пристрою обчислення сум парних добутків на базі попередніх обчислень визначаються за таким виразом:

$$W_2 = (1,5m + 1)W_{D\bar{a}} + 1,5mW_{C\bar{a}} + 0,5mW_{E\bar{a}} + W_{(0,5m+1)-C\bar{a}} + 0,5mW_{N\bar{a}},$$

де W_{P_2} , W_{T_2} , $W_{K_{M+1}}$, $W_{(0,5m+1)-C_M}$, $W_{C_{M+1}}$ – затрати обладнання відповідно на регістр, тригер, чотириох вхідний n розрядний комутатор, $(0,5m+1)$ -вхідний суматор і однорозрядний суматор.

Обчислення сум парних добутків в даному пристрої виконується за $2n$ такти, кожний з яких дорівнює:

$$t_2 = t_{\hat{E}i} + t_{\hat{E}i-1} + t_{(0,5m+1)-\hat{N}i},$$

де t_{P_2} , $t_{K_{M+1}}$, $t_{(0,5m+1)-C_M}$ – час спрацювання відповідно регістра, формувача часткових добутків і $(m+1)$ -вхідного суматора.

Збільшення кількості сум парних добутків, для яких формується частковий добуток, веде до збільшення кількості попередніх обчислень і до зменшення кількості входів багатовходового суматора. Вибір кількості сум парних добутків, для яких необхідно формувати частковий добуток, залежить передусім від кількості сум парних добутків m .

Паралельно-вертикальний метод обчислення сум парних добутків з надходженням операндів старшими розрядами вперед забезпечує суміщення процесів приймання і обчислення. Обчислення за цим методом описується такою формулою [10]:

$$Z = \sum_{j=1}^m A_j B_j = \sum_{j=1}^m \sum_{i=0}^{n-1} 2^{-i} [(A_{j0} A_{j1} \dots A_{ji}) B_{ji} + (B_{j0} B_{j1} \dots B_{j(i-1)}) A_{ji}]. \quad (8)$$

Зробивши у формулі (8) зміну черговості додавання, отримуємо:

$$Z = \sum_{j=1}^m A_j B_j = \sum_{i=0}^n 2^{-i} \sum_{j=1}^m [(A_{j0} A_{j1} \dots A_{ji}) B_{ji} + (B_{j0} B_{j1} \dots B_{j(i-1)}) A_{ji}]. \quad (9)$$

Якщо у формулі (9) вираз $\sum_{j=1}^m [(A_{j0} A_{j1} \dots A_{ji}) B_{ji} + (B_{j0} B_{j1} \dots B_{j(i-1)}) A_{ji}]$, який є

сумою часткових добутків, замінити на макрочастковий добуток P_i , то обчислення сум парних добутків матиме такий вигляд:

$$Z_i = 2Z_{i-1} + P_i, \quad (10)$$

де Z_i – сума накопичених часткових результатів; $Z_0 = 0$.

У цьому методі обчислення формування часткових добутків для кожної пари операндів відбувається за таким виразом:

$$P_{ji} = \begin{cases} 0, & \hat{E}i \hat{E} B_{j^3} = A_{j^3} = 0 \\ A_{j0} A_{j1} \dots A_{ji} & \hat{E}i \hat{E} B_{j^3} = 1, \quad A_{j^3} = 0 \\ B_{j0} B_{j1} \dots B_{j(i-1)} & \hat{E}i \hat{E} A_{j^3} = 1, \quad B_{j^3} = 0 \\ A_{j0} A_{j1} \dots A_{ji} + B_{j0} B_{j1} \dots B_{j(i-1)} & \hat{E}i \hat{E} B_{j^3} = A_{j^3} = 1. \end{cases} \quad (11)$$

Обчислення результату Z здійснюється за алгоритмом, який передбачає зсув вліво суми часткових результатів Z_{i-1} при нерухомому макрочастковому добутку P_i .

Структура пристрою, який реалізує алгоритм обчислення сум парних добутків з надходженням операндів послідовним кодом старшими розрядами вперед, наведена на рис. 3, де ФЧР – формувач часткових результатів, ПІ – тактові імпульси.

У цьому пристрої надходження чисел A_j і B_j здійснюється одночасно послідовним кодом старшими розрядами вперед. Розряди чисел A_1, \dots, A_m і B_1, \dots, B_m записуються в регістрах R_{GA_1} , $R_{GB_1}, \dots, R_{GA_m}$, R_{GB_m} і надходять у ФЧР, на виходах якого формується частковий результат обчислення P_{pi} сум парних добутків. Формування часткових результатів обчислення P_{pi} здійснюється за допомогою логіч-

них елементів І та багатовходового суматора БСм. Отримання результату обчислення сум парних добутків Z_i у цьому пристрої виконується за алгоритмом, який передбачає зсув вліво суми часткових результатів Z_{i-1} при нерухомому частковому результаті P_{pi} відповідно до формули $Z_i = 2Z_{i-1} + P_{pi}$. Обчислення сум парних добутків у цьому пристрої виконується за n тактів, тривалість яких визначають так:

$$t_4 = t_{D\bar{a}} + t_{2m-\bar{N}i}.$$

У цій формулі $t_{2m-\bar{C}m}$ – час додавання $2m$ n -розрядних чисел.

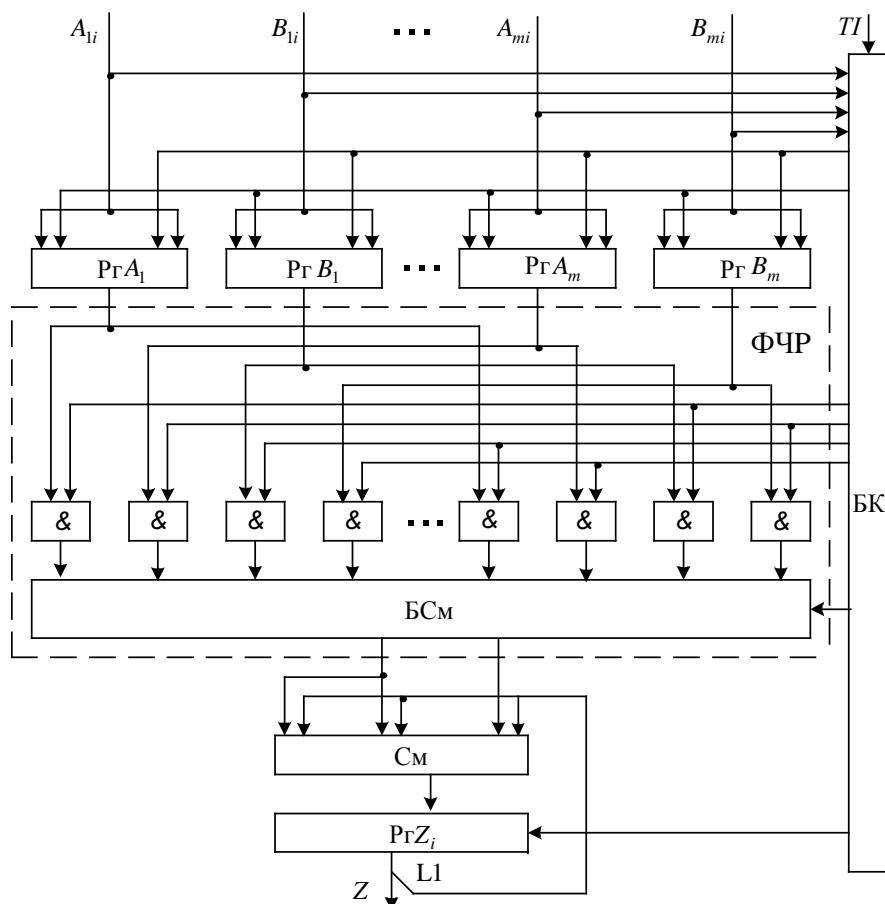


Рис. 3. Структура пристрою обчислення сум парних добутків з надходженням операндів послідовним кодом старшими розрядами вперед.

Апаратні затрати на реалізацію пристрою обчислення сум парних добутків з надходженням операндів послідовним кодом старшими розрядами вперед визначають так:

$$W_4 = 2(m+1)W_{D\bar{a}} + 2mnW_i + W_{2m-\bar{N}i} + W_{\bar{N}i} 2n + W_{\bar{A}\bar{E}},$$

де W_i , $W_{2m-\bar{C}m}$, W_{Cm2n} , $W_{БК}$ – апаратні затрати на реалізацію відповідно елемента І, $2m$ -вхідного суматора, $2n$ -розрядного суматора і блоку керування.

Оцінка розроблених структур пристроїв обчислення сум парних добутків. Основними компонентами розроблених структур є тригери, регістри, суматори, суматори-віднімачі, багатовходові суматори, комутатори, ОЗП, шинні формувачі та логічні елементи. Оскільки розроблені структури пристроїв обчислення сум парних добутків орієнтовані на НВІС-реалізацію, то за одиницю вимірюван-

ня витрат обладнання візьмемо логічний вентиль, який є елементом типу інвертор, І, АБО, а для оцінки часових параметрів – величину затримки логічного вентиля τ . Для оцінки характеристик розроблених структур пристроїв обчислення сум парних добутоків використаємо дані про витрати та величину затримки основних компонентів, які наведені в [2].

Аналітичні вирази для розрахунку витрат обладнання та часу обчислення сум парних добутоків для розроблених структур залежно від кількості m і розрядності n операндів подані в таблиці.

Аналітичні вирази для розрахунку основних характеристик пристроїв обчислення сум парних добутоків

№ за/п	Витрати обладнання (вентилів)	Час обчислення (τ вентилів)
1	$W_1 = 28mn + 7n + 6m$	$t_1 = 2n(7 \log_2 n \log_2 m + 4)$
2	$W_2 = 20,5mn + 13n + 18m$	$t_2 = 2n(7 \log_2 n \log_2 0,5m + 7)$
3	$W_4 = 56mn + 54n$	$t_4 = n(7 \log_2 n \log_2 2m + 3)$

На підставі аналітичних виразів, наведених у таблиці, побудуємо графіки витрат обладнання (рис. 4) та часу обчислення (рис. 5) сум парних добутоків.

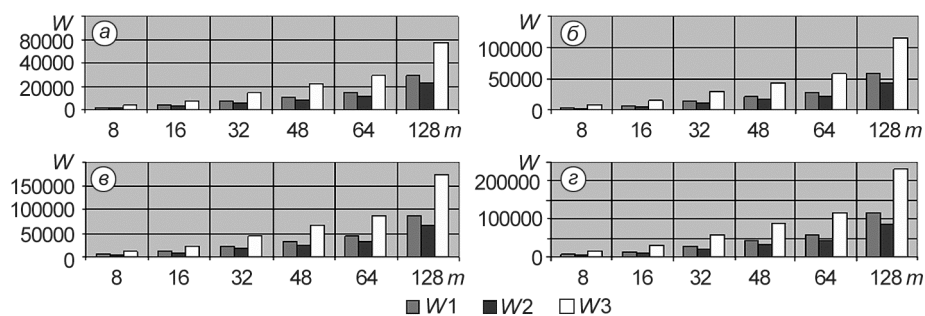


Рис. 4. Графіки залежності витрат обладнання пристроїв обчислення сум парних добутоків від їх кількості для: а – $n = 8$; б – $n = 16$; в – $n = 24$; з – $n = 32$.

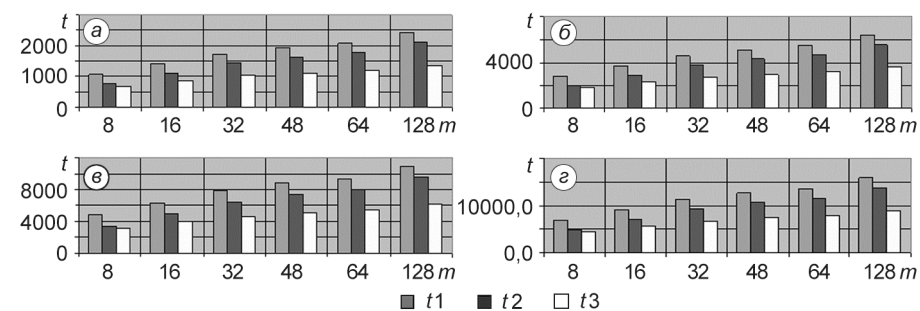


Рис. 5. Графіки залежності часу обчислення сум парних добутоків від їх кількості для: а – $n = 8$; б – $n = 16$; в – $n = 24$; з – $n = 32$.

Як видно з графіків, незалежно від кількості входів та їхньої розрядності, найменші затрати обладнання для своєї реалізації вимагає структура пристрою обчислення сум парних добутоків на базі попередніх обчислень. Найбільшу ж швидкодію має структура пристрою обчислення сум парних добутоків з надходженням операндів послідовним кодом старшими розрядами вперед. Вибір конкретної НВІС-структури пристрою з паралельно-вертикальним обчисленням сум парних добутоків залежить від вимог конкретного застосування.

ВИСНОВКИ

Представлення алгоритмів обчислення сум парних добутоків у базисі елементарних операцій дає змогу повною мірою використати можливості НВІС-технології. Методи паралельно-вертикального обчислення сум парних добутоків ґрунтуються на формуванні і підсумовуванні макрочасткових добутоків, кількість яких залежить від їх розрядності та алгоритму формування часткових добутоків для пар операндів.

Підвищення ефективності НВІС-структур паралельно-вертикального обчислення сум парних добутоків можна досягнути роздільним або комплексним використанням методів, які дають можливість зменшити кількість, час формування та підсумовування макрочасткових добутоків.

Найбільшу швидкодію має структура пристрою обчислення сум парних добутоків з надходженням операндів послідовним кодом старшими розрядами вперед. Найменші затрати обладнання для своєї реалізації вимагає структура пристрою обчислення сум парних добутоків на базі попередніх обчислень.

1. Кун С. Матричные процессоры на СБИС. – М.: Мир, 1991. – 672 с.
2. Цмоць І. Г. Інформаційні технології та спеціалізовані засоби обробки сигналів і зображень у реальному часі. – Львів: УАД. – 2005. – 227 с.
3. Стрянець С. П., Цмоць І. Г. Паралельні алгоритми та НВІС-структури обчислення сум парних добутоків // Вісник НУ “Львівська політехніка” “Комп’ютерна інженерія та інформаційні технології”. – 2003. – № 496. – С. 255–263.
4. Цмоць І. Г. Паралельні алгоритми та матричні НВІС-структури пристроїв множення для комп’ютерних систем реального часу // Наук.-техн. журн. “Інформаційні технології і системи”. – 2004. – 7, № 1. – С. 5–16.
5. Березький О., Цмоць І. Методи та НВІС-структури для множення матриці на матрицю у реальному часі // Вісник НУ “Львівська політехніка” “Комп’ютерні системи проектування. Теорія і практика”. – 2007. – № 591. – С. 63–76.
6. Солонина А. И., Улахович Д. А., Яковлев А. А. Алгоритмы и процессоры цифровой обработки сигналов. – СПб: БХВ-СПб, 2001. – 464 с.
7. Параллельная обработка информации: Т. 4. Высокопроизводительные системы параллельной обработки информации / Под ред. В. В. Грицька. – К.: Наук. думка, 1988. – 272 с.
8. Прикладная теория цифровых автоматов / К. Г. Самофалов и др. – К: Вищ. шк., 1987. – 375 с.
9. Грушицкий Р. И., Мурсаев А. Х., Угрюмов Е. П. Проектирование систем на микросхемах программируемой логики. – СПб.: БХВ-Петербург, 2002. – 608 с.
10. Каневский Ю. С. Систематические процессоры. – К: Техніка, 1991. – 173 с.
11. Шальто А. А. Методы аппаратной и программной реализации алгоритмов. – СПб.: Наука, 2005. – 780 с.
12. Цмоць І. Г. Особливості проектування спеціалізованих комп’ютерних систем для обробки інтенсивних потоків інформації // Збірник наук. праць ШМЕ НАН України: “Моделювання та інформаційні технології”. – 1999. – Вип. 8. – С. 143–149.
13. Цмоць І. Г. Алгоритми і структури ВІС перемножувача комплексних чисел // Вісник НУ “Львівська політехніка”. – 1998. – № 237. – С. 231–240.
14. Цмоць І. Г. Алгоритмічні операційні пристрої для обчислення базових операцій алгоритмів швидкого перетворення Фур’є комплексної послідовності // Збірник наук. праць ШМЕ НАН України НАН України. – 1999. – Вип. 2. – С. 159–173.