



УДК. 681.324

Ю. С. Яковлев, д-р. техн. наук, **Б. М. Тихонов**
Ин-т кибернетики им. В.М. Глушкова НАН Украины
(Украина, 03164, Киев-187, пр-т акад. Глушкова, 40,
тел. (044) 5263207, E-mail: jakus@bigmir.net,
тел. (044) 5263598, E-mail: boris_tixonov@inet.ua)

Разработка и моделирование процессорного элемента операционной среды PIM-системы

На основе анализа развития процессорных элементов PIM-систем, предложены архитектурно-структурные решения, позволяющие расширить функциональные возможности и обеспечить более высокие параметры производительности процессорного элемента PIM-системы. Выполнено моделирование и оценка параметров разработанного процессорного элемента.

На основі аналізу розвитку процесорних елементів PIM-систем, запропоновано архітектурно-структурні рішення, що дозволяють розширити функціональні можливості і забезпечити більш високі параметри продуктивності процесорного елементу PIM-системи. Виконано моделювання і оцінку параметрів розробленого процесорного елементу.

К л ю ч е в ы е с л о в а: PIM-система, моделирование, процессорный элемент, операционная среда.

Необходимость создания нового класса вычислительных средств — PIM-систем (Processor-in-memory) — обусловлено увеличивающимся во времени отставанием скорости доступа к памяти по отношению к скорости работы процессора и невозможностью сбалансировать такое отставание существующими классическими средствами (применение иерархии памяти, КЭШ-памяти, параллельных каналов доступа к памяти и др.). При этом существенным оказался и тот факт, что некоторые особенно важные и трудоемкие задачи плохо поддаются решению (или вообще нерешаемы) на компьютерной системе (КС) классической архитектуры. Прогресс в развитии интегральной технологии, наблюдаемый с начала 90-х годов прошлого столетия, сделал возможным разместить на одном кристалле память сравнительно большой емкости и логику обработки, существенно улучшив при этом полосу пропускания информации по каналу процессор—память и одновременно уменьшив потребляемую мощность, габариты и вес КС [1].

На начальном этапе построения PIM-систем одной из главных проблем стала проблема совместимости на одном кристалле различных техно-

логий: технологии создания элементов памяти и технологии создания логических элементов. Поэтому первые процессорные элементы в РИМ-системах были простейшими, часто одноразрядными последовательного типа, однако по сравнению с классическими КС они для определенных задач обеспечивали существенно бóльшую производительность и потребляли меньшие мощности.

Дальнейшее увеличение числа процессорных элементов, размещенных на БИС памяти, стало входить в противоречие с числом контактов корпуса БИС, которое фактически оставалось постоянным. Возникла необходимость вместо большого числа простейших процессорных элементов использовать меньшее число более сложных процессоров с расширенными функциональными возможностями, находя компромисс между их разрядностью, функциональными возможностями, числом процессоров на кристалле и числом контактов БИС. Появились 4-, 8-, 16-, 32-разрядные и более процессорные элементы, чему способствовало появление новых интегральных технологий (например, технологии ViCMOC с двойным слоем металлизации), пригодных для создания как элементов памяти, так и процессорных (логических) элементов.

Появление программируемых логических интегральных схем (ПЛИС) с высокой степенью интеграции (более 10^6 элементов на кристалле) открыло новые возможности для построения реконфигурируемых архитектур как РИМ-систем в целом, так и информационных каналов и процессорных элементов для работы с данными различной разрядности. Будем рассматривать наиболее распространенные в проектах РИМ-систем разновидности архитектур процессорных элементов.

Элементарные одноразрядные процессорные элементы [2]. Для приложений с высокой степенью параллелизма часто бывает целесообразно при построении РИМ-систем использовать в памяти вместо процессоров с высокой сложностью большое число простых процессоров (Processing Element (PE)), особенно, если технология создания логических элементов отличается от технологии создания элементов памяти и требуется для логических элементов использовать как можно меньше площади кристалла. Поэтому в первых РИМ-системах типа CRAM (Computational RAM) были использованы в качестве базовых процессоров памяти элементарные однобитовые процессоры последовательного типа, что позволило создать БИС памяти с минимальными конструктивными и технологическими изменениями (рис. 1).

Такой процессор (рис. 2) выполнен на 75-ти транзисторах и содержит три регистра — источника операндов (W , X , Y) и мультиплексор MUX (8 - к - 1). Четвертый источник операндов — память M . Арифметико-логическое

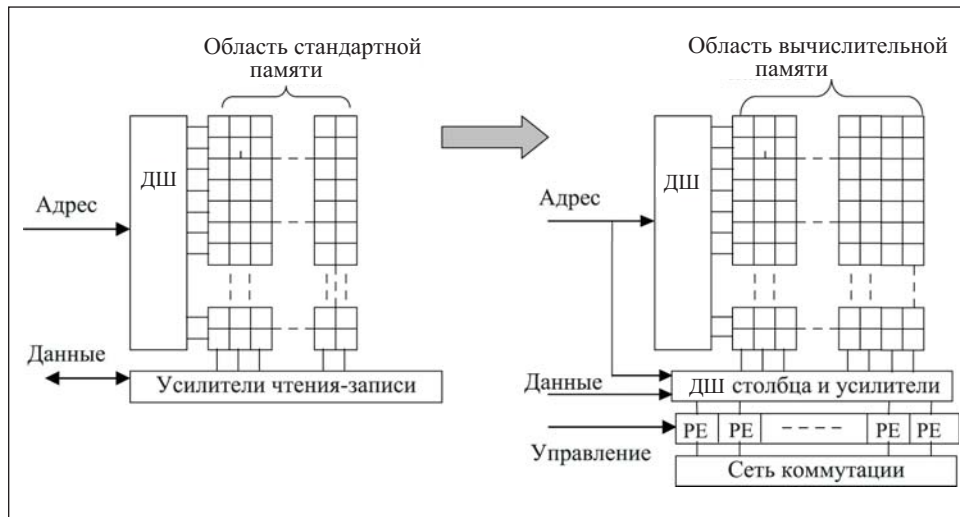


Рис. 1. Схема CRAM-архитектуры: ДШ—дешифратор ряда

устройство (АЛУ) PE (мультиплексор) вычисляет любую функцию трех битовых переменных Y, X, M .

Команда PE состоит из 8-битового кода мультиплексора, кода операции таблицы истинности (Truth Table Operation (ТТОР)) и 6-битового кода управления операциями (Code Operation (COP)). ТТОР определяет тип операции PE в зависимости от содержания Y, X и M на входах мультиплексора. Три бита COP (WY, WX и WW) определяют, должен ли быть записан выход PE (MUX) соответственно в регистры Y, X и W . Следующие два бита COP (SLX и SRY) управляют операцией сдвига PE, разрешая запись сигнала с выхода PE в регистр X или Y соседнего слева или справа PE. Шестой бит COP разрешает глобальное ИЛИ выхода PE.

Регистр W управляет записью информации с выхода PE в свою собственную память. Управляющие сигналы ТТОР и COP мультиплексированы с данными и адресом соответственно на шинах данных RAM и адреса.

Каждый PE (одновременно с другими) работает с единственным элементом вектора. Шина широковещательной рассылки реализует глобальное ИЛИ всех выходов PE. Коммуникация между смежными PE осуществляется через сеть shift-left/shift-right (сдвиг влево/сдвиг вправо). Такой тип архитектуры PE реализован в поразрядных CRAM-чипах C64p128, C64p1K, и C1Kp16K [2].

Расширенный элементарный процессор (Extended PE (XPE)) выполнен на 147 транзисторах. Он содержит дополнительные регистры для уменьшения количества циклов оперативной памяти при вычислении,

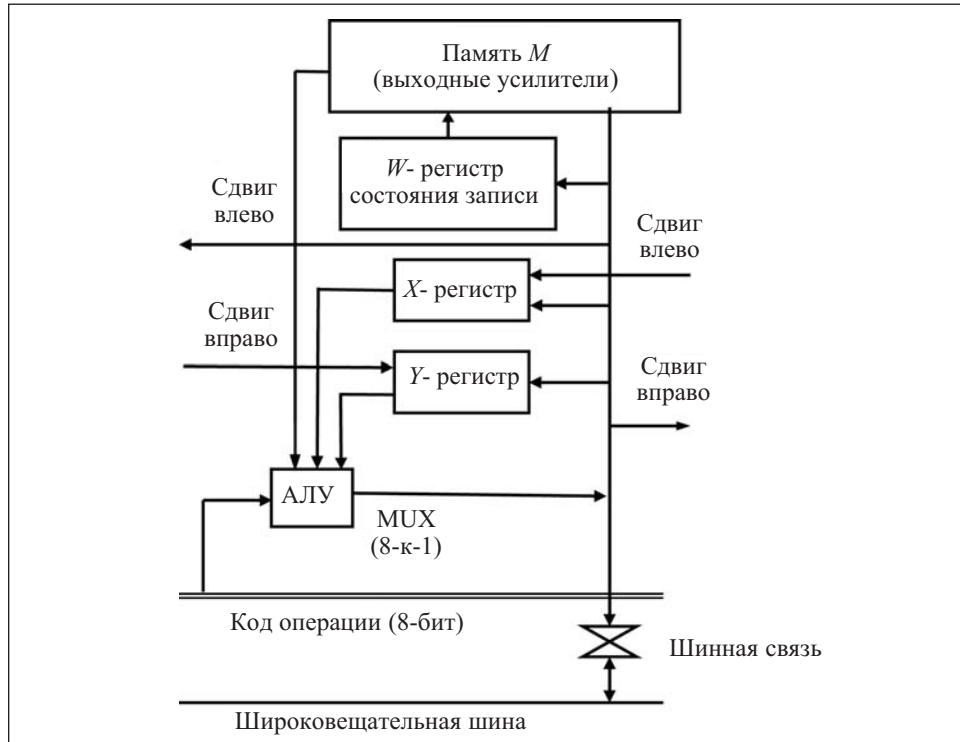


Рис. 2. Архитектура одноразрядного информационного канала

цепочку переноса для ускорения сложения, регистр T (тип сегментации), а также регистры S и B (выбор сегментации) для группировки смежных PE при работе над мультиразрядными данными. Архитектура XPE используется в CRAM — чипе C512p512.

Восьмиразрядные процессорные элементы PIM-систем. Устройства технического зрения, используемые в системах безопасности или автономной навигации транспортного средства, требуют скорости обработки информации в несколько сотен GIPS при соответствующих ограничениях на габариты и вес. При этом доминирующими алгоритмами являются алгоритмы обработки изображения, для реализации которых наиболее подходящими являются SIMD-системы, так как необходимо одновременно поддерживать множество пикселей в изображении. Это приводит к необходимости использования широкой полосы пропускания для передачи данных между процессорами и блоками их локальной памяти, что соответствует концепции построения PIM-систем.

Исходя из требований к обработке каждого пиксела изображения, наиболее подходящими для большинства SIMD-систем являются 8-раз-

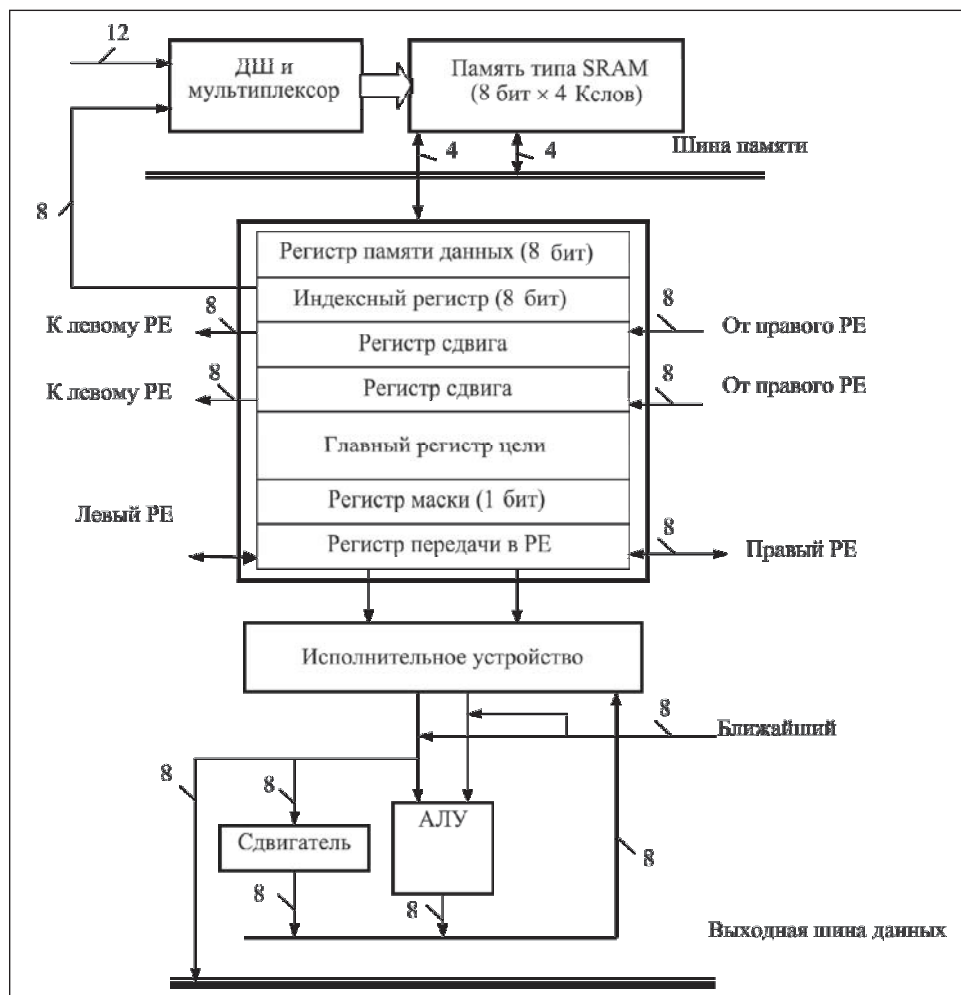


Рис. 3. Блок-схема восьмиразрядного PE

рядные PE. На рис. 3 приведена блок-схема одного из вариантов 8-разрядного PE, который содержит 7000 транзисторов, занимает площадь кристалла $419 \times 2628 \text{ мкм}^2$ и имеет время задержки 10,1 нс [3]. АЛУ выполнено на 700 транзисторах, имеет время задержки сигнала 5,7 нс. Исполнительное устройство выполняет операции умножения 8×8 бит, используя операции сдвига и сложения четырех частичных результатов умножения 4×4 бит с применением таблицы просмотра (Table Look UP (TLU)). Такое умножение требует 26 шагов, из них 14 шагов — генерация TLU адресов, 2 шага — копирование данных в регистры данных и памяти и 10 шагов — сложение четырех частичных результатов TLU-умножения.

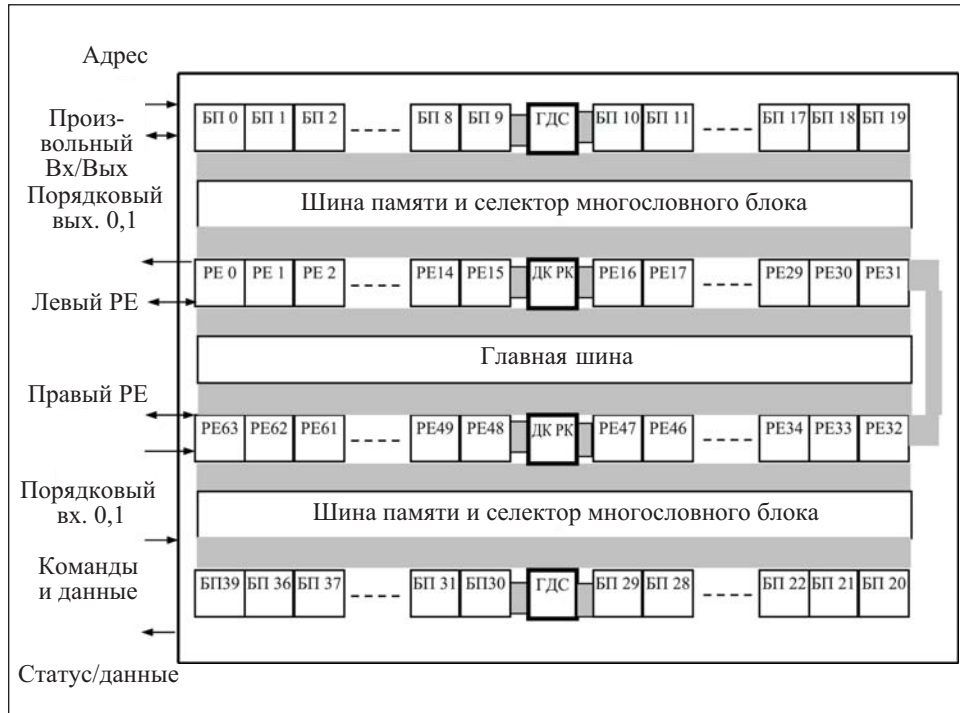


Рис. 4. Блок-схема чипа с восьмиразрядным PE: ГДС — главный дешифратор слова; ДК — дешифратор команд; РК — регистр конвейера; БП — блок памяти

Чип — основа построения системы — содержит 64 PE (рис. 4) и 2Мбит статической памяти SRAM (40 блоков по 64Кбайт). Один блок емкостью 64Кбит подсоединен к двум PE, так что каждый PE имеет 32Кбит SRAM по 4Кбит восьмиразрядных слов. Память типа SRAM обеспечивает ширину полосы пропускания данных по каналу процессор — память 1,28 Гбайт/с при работе на частоте 80 МГц.

При создании чипа использованы следующие концептуальные положения:

- применение линейной (простой) конфигурации всей области ресурсов, что позволяет достаточно просто наращивать емкость памяти и число PE;

- применение двух независимых последовательных интерфейсов ввода-вывода для передачи обработанных данных и входных (выходных) данных изображения;

- использование многоразрядных PE, поскольку пиксели в основном представляются и обрабатываются 8 битами.

Чип не имеет устройства задания последовательностей (секвенсора) и памяти программ. Команды, задаваемые контроллером вне чипа, запоми-

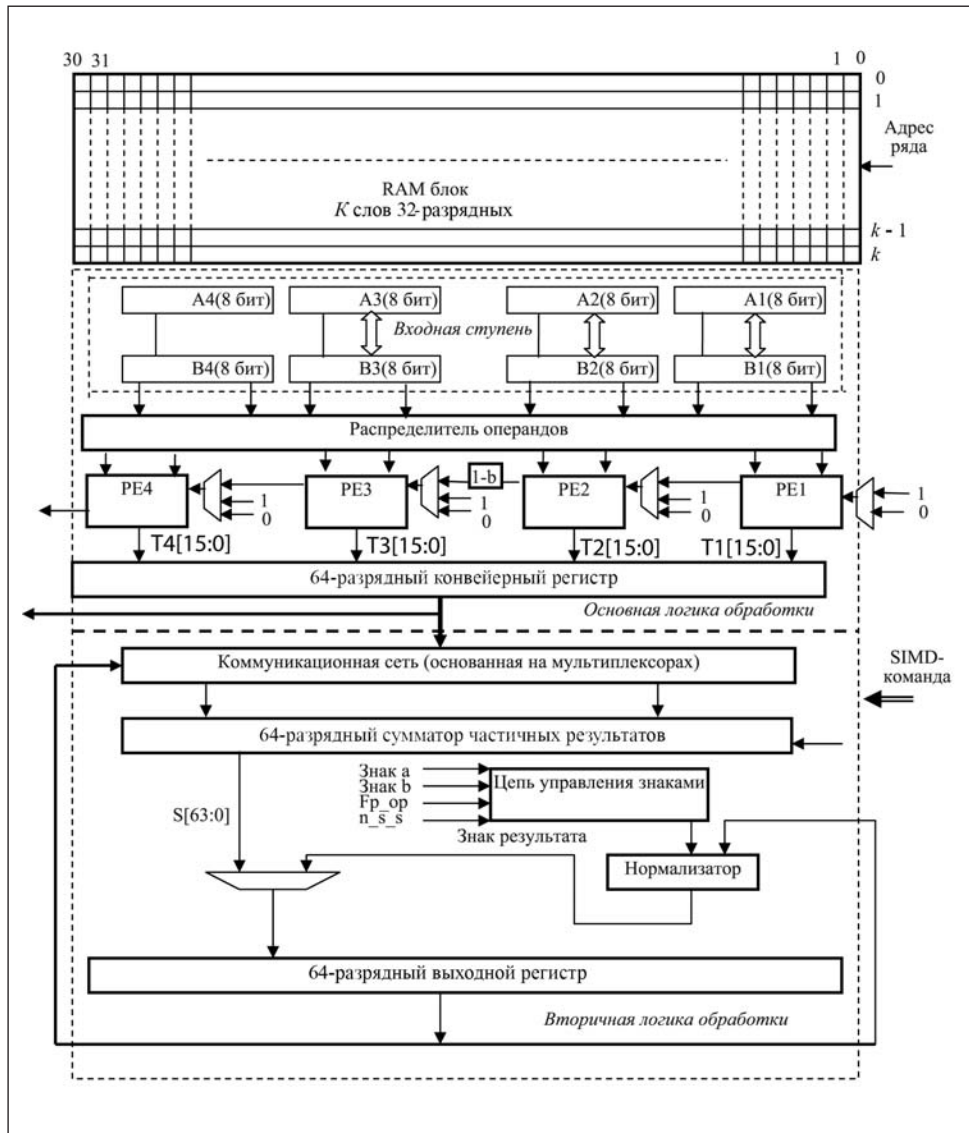


Рис. 5. Архитектура 32-разрядного информационного канала: A1 — A4, B1 — B4 — регистры входной ступени устройства; T1 — T4 — частичные результаты

наются конвейерными регистрами и затем широковещательно передаются всем PE. Система имеет набор RISC-подобных команд, и все команды выполняются за один цикл PE.

Чип выполнен по технологии BiCMOS с технологическими нормами 0,55 мкм, содержит 11 млн. транзисторов, занимает на кристалле площадь

15,1 × 15,6 мм² и может работать на тактовых частотах 40МГц для PE и 80МГц для SRAM, обеспечивая пиковую производительность 3,84 GIPS при ширине полосы пропускания память—процессор 1,28 Гбайт/с [3].

Операционная среда с настраиваемой разрядностью. Часто при реализации алгоритмов требуется выполнять как целочисленные вычисления, так и вычисления с плавающей запятой, при этом алгоритм также, как и в рассмотренных выше случаях, обладает свойствами широкого распараллеливания и массового обращения к памяти за данными, т.е. средство, предназначенное для реализации такого алгоритма, в наибольшей степени соответствует концепции построения PIM-систем, обеспечивающих широкую полосу пропускания по каналу процессор—память. Учитывая размещение такой арифметики на одном кристалле с памятью, целесообразно выполнить PE с настраиваемой разрядностью, чтобы информационный канал мог эффективно поддерживать как целочисленные вычисления, так и вычисления с плавающей запятой.

В [4] представлена схема модели 32-разрядной реконфигурируемой информационной среды, которая оптимизирована для приложений мультимедиа. Архитектура системы такого канала представлена четырьмя 8-битовыми PE невысокой сложности (рис. 5). Процессорные элементы работают по принципу SIMD, эффективно выполняя в результате реконфигурации канала обработку параллельных арифметических операций над 8-, 16-, или 32-разрядными целочисленными данными или над 32-разрядными данными с плавающей запятой. Все биты строки (т. е. 32-разрядное слово) могут быть получены одновременно за одно обращение к памяти. Схема структурирована в виде двух ступеней логической обработки, управляемых операндным диспетчером, который при необходимости выбирает соответствующие 8-битовые подсегменты загруженных 32-разрядных слов для параллельной обработки каждым PE. Четыре PE связаны с помощью мультиплексора, реализующего логику управления переносом.

Умножение 16 × 16 бит в двоичной системе может быть реализовано объединением 16-разрядных промежуточных результатов между самыми старшими и самыми младшими 8-битовыми подсловами операнда ($A = A [15 : 8] [7 : 0]; B = B [15 : 8]; B [7 : 0]$). В этом случае предполагается, что два PE могут быть использованы параллельно для независимого вычисления 16-разрядных промежуточных результатов, которые рекурсивно складываются и накапливаются во вторичной обрабатывающей процессорной логической ступени половинными частями 64-битового частичного сумматора.

Операции умножения 16 × 16 бит могут быть вычислены при одновременном параллельном использовании двух половин информационного канала.

Сложение (вычитание) 32-х разрядных чисел и абсолютное значение операции сумма (разность) выполняются на первой обрабатывающей логической ступени с использованием четырех PE, связанных цепями переноса. Команда умножения 32×32 бит может быть выполнена с использованием вышеупомянутых аппаратных средств. При выполнении этой операции шестнадцать 16-разрядных промежуточных результатов вычисляются четырьмя PE и затем рекурсивно добавляются и накапливаются во вторичной обрабатывающей логике.

Возможность обработки данных с плавающей запятой обеспечивается с помощью целочисленного модуля SIMD совместно со схемой поддержки, необходимой для обработки признаков при реализации сдвига предварительного выравнивания и сдвига последующей нормализации. Сложение двух 32-разрядных чисел A и B с плавающей запятой может выполняться информационным каналом по обычному алгоритму.

Исследования показали [4], что реконфигурируемый информационный канал может эффективно поддерживать как целочисленные вычисления, так и вычисления с плавающей запятой, обеспечивая функционирование на частоте до 285 МГц на 1,8V при среднем потреблении энергии 0,12 мВт/МГц. Было установлено, что совместное использование функциональных модулей, как для целочисленного SIMD, так и для операции с плавающей запятой, лишь незначительно увеличивает кремниевую область и потребляемую мощность. Такая система с реконфигурируемым каналом вследствие высокой модульности, незначительной сложности и низкого энергопотребления соответствует требованиям для блока обработки интенсивных алгоритмов с высокой пропускной способностью по каналам процессор—память, особенно при необходимости настройки канала на обработку 8- или 16-разрядных слов, или 32-разрядных данных с плавающей запятой.

Таким образом, развитие интегральной технологии обеспечило возможность совершенствования архитектур КС, реализованных на одном кристалле (в том числе архитектур КС типа PIM), с помощью повышения сложности и расширения функциональных возможностей PE, увеличения их разрядности и емкости памяти, размещенной на кристалле вместе с PE. Эта тенденция отображена в табл. 1, где приведены параметры отдельных разновидностей PE и чипов в целом, на которых размещены эти PE [2, 5].

Как видно из табл. 1, переход с 2000 г. на новый тип технологии с технологическими нормами 0,55 мк и меньше обеспечил возможность использования 8-, 16- и 32-разрядных PE при одновременном увеличении емкости памяти, размещенной на том же кристалле. Ожидается, что подобного рода тенденция со временем будет усиливаться, преобразуя архитектурную линию «Процессор-в-памяти» («Processor-in-memory») — PIM

в архитектурную линию нового типа «Память-в-процессоре» («Memory-in-processor») — MIP, где каждый PE является сложным изделием с широкими функциональными возможностями [5]. Естественно, одновременно совершенствуются алгоритмы и методы организации вычислительного процесса.

Разработка и моделирование операционной среды PIM-системы с повышенными параметрами производительности. Предлагаемая архитектурно-структурная организация двухступенчатой реконфигурируемой операционной среды PIM-системы по сравнению с известными (например, приведенной на рис. 5) обеспечивает более широкий набор операций и более высокую производительность при умножении операндов различной разрядности (4, 8, 16 и 32 разрядов).

В состав данной среды, блок-схема которой приведена на рис.6, входит блок памяти, состоящий из восьми 8-разрядных столбцов и содержащий k строк, где k определяется возможностями используемой для ее реализации интегральной схемы; три блока по восемь 8-разрядных регистров; четыре полных (8×8) разрядов умножителей; коммутационно-логическое устройство первого уровня; два коммутационных устройства второго и третьего уровней; четыре 8- и два 16-разрядных сумматора. При этом четыре умножителя и блоки регистров 1 и 2 формируют первую ступень конвейерной схемы устройства, а коммутационные устройства с 8- и 16-разрядными сумматорами и блоком регистров 3 — вторую ступень.

Разбиение операционной среды на две ступени обусловлено следующими причинами: во-первых, это позволяет при организации потока

Таблица 1

Параметры PE				Параметры чипа				
Разрядность, бит	Емкость памяти	Транзисторы, шт	Технология, тип	Число PE, шт	Тактовая частота, МГц	Общая емкость памяти	Применение в PIM-системах	Год разработки
1	SRAM, 2Кбит	147	CMOS 1,0мк	64	—	SRAM, (2К×64)бит	Terasys	1993
1	SRAM, 1Кбит	75	CMOS 0,8мк	256	25—180	—	CRAM	1992
8	SRAM, 4Кбайт	7000	ViCMOS 0,55мк	64	PE: 40 SRAM: 80	SRAM, 2Мбайт	IMAP, (графика)	После 2000
8; 16; 32; 64	—	—	0,18мк	48	200	DRAM, 12Мбайт	VIRAM	После 2000
8; 16; 32; 64	SRAM, 32Кбайт	—	MOSIS 0,18мк	nPE	166	SRAM, 8Мбайт	DIVA	2002

данных на входе устройства повысить его быстродействие за счет увеличения тактовой частоты, а также лучше согласовать частоту работы памяти и ступеней конвейера, во-вторых, каждая ступень конвейера может работать независимо и параллельно.

Входящие в состав операционной среды устройства выполняют следующие функции:

блок памяти записывает, хранит и выдает данные, при этом выполняется считывание всей строки памяти;

коммутатор операндов формирует входные данные в зависимости от типа операции для блока регистров 1 или блока регистров 2;

умножители первой ступени выполняют полноразрядное умножение 8-разрядных чисел за один такт;

блок регистров 2 принимает данные либо с выходов умножителей, либо из блока памяти для дальнейшей обработки во второй ступени;

коммутационно-логическое устройство первого уровня обрабатывает знаки операндов и в зависимости от типа операции обеспечивает подачу данных либо на входы 8-разрядных сумматоров либо через коммутаторы второго уровня на входы 16-разрядных сумматоров, а также обеспечивает для 16- и 32-разрядных операций объединение пар 8-разрядных сумматоров в 16-разрядные;

четыре 8-разрядных сумматора второй ступени выполняют операции сложения (вычитания) 8-, 16-разрядных чисел и сложение частичных произведений, сформированных в первой ступени устройства;

коммутационное устройство второго уровня в зависимости от типа операции осуществляет подачу данных на входы двух 16-разрядных сумматоров либо с выходов 8-разрядных сумматоров, либо с выходов коммутационно-логического устройства первого уровня, а также объединяет два 16-разрядных сумматора в 32-разрядный;

два 16-разрядных сумматора реализуют сложение (вычитание) 32-разрядных чисел, умножение 16- и 32-разрядных чисел, операцию суммы парных произведений 8- и 16-разрядных чисел;

коммутационное устройство третьего уровня осуществляет размещение в соответствующих элементах блока регистров 3 результатов с выходов сумматоров второй ступени и подает промежуточные данные на вход 16-разрядного сумматора;

блок регистров 3 содержит набор сдвиговых регистров, в который записывают промежуточные и окончательные результаты операций и который является выходом 2 устройства.

В набор команд операционного поля PIM-системы входят следующие команды:

операции целочисленного сложения (вычитания) 8-, 16-, 32-разрядных чисел;

операции умножения 8-, 16-, 32-разрядных чисел;

операция суммы парных произведений 8-, 16-разрядных чисел.

При выполнении операции умножения 8-разрядных чисел в устройстве используется лишь первая ступень, а все операции сложения (вычитания) над числами различной разрядности используют вторую ступень устройства. Для выполнения операций умножения 16- и 32-разрядных чисел, операции суммы парных произведений создается конвейерная схема из первой и второй ступеней. При этом первая ступень реализует частичные произведения операций, а вторая — формирует окончательный результат, суммируя промежуточные результаты.

В табл. 2 приведены параметры информационного канала (см. рис. 5) и предлагаемой операционной среды в тактах, где под тактом понимается время работы одной ступени конвейера.

Из данных, приведенных в табл. 2, следует, что операционная среда, обладая таким же быстродействием при операциях сложения (вычитания), значительно эффективнее выполняет операцию умножения чисел различной разрядности, что объясняется использованием полноразрядного (8×8) умножителя.

Введение в состав операций предлагаемого устройства операции суммы парных произведений (скалярное произведение векторов) объясняется чрезвычайно широким использованием данной операции в системах цифровой обработки сигналов, графики, изображений (например, в сигнальных процессорах) и, кроме того, она является базовой операцией в так называемых матричных процессорах, предназначенных для выполнения

Таблица 2

Команда	Разрядность операндов	Число тактов	
		Информационный канал	Операционная среда
Сложение (вычитание)	8	1	1
	16	1	1
	32	2	1
Умножение	8	2	1
	16	4	2
	32	8	4
Скалярное произведение	8	—	2
	16	—	4

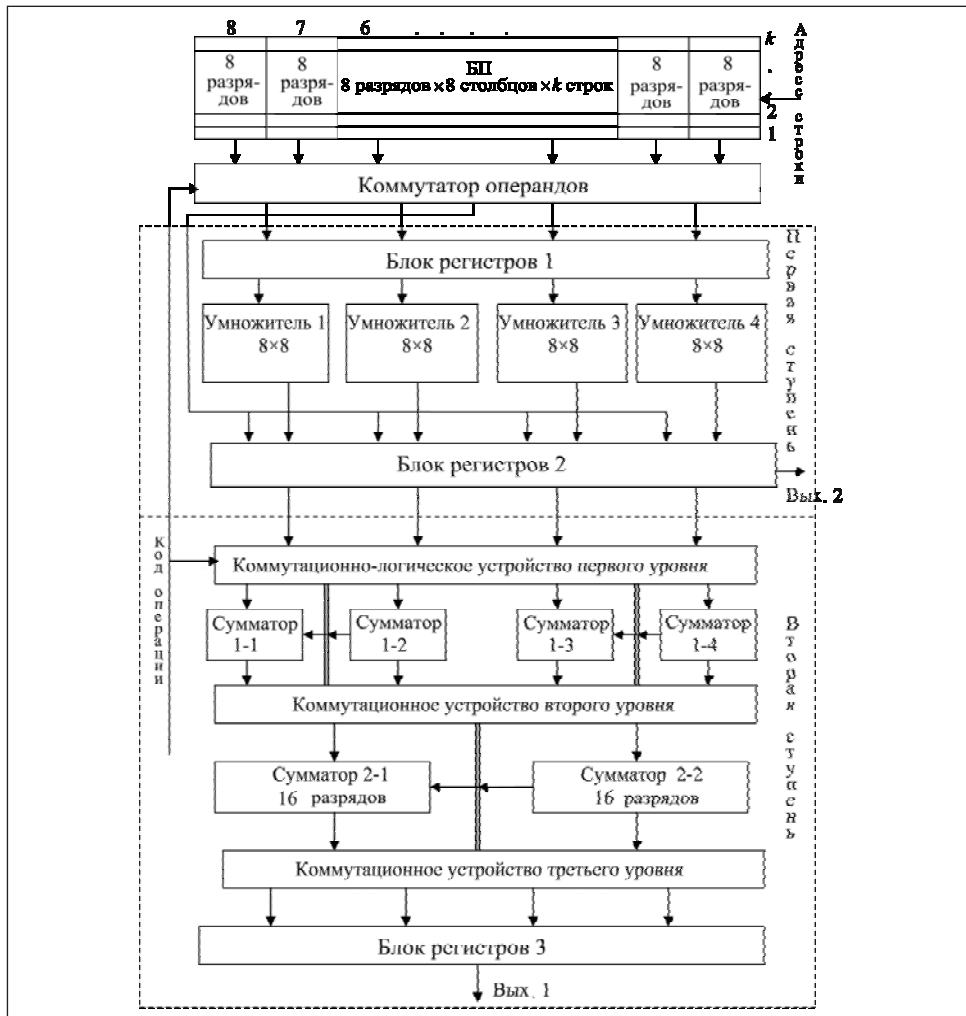


Рис. 6. Реконфигурируемая операционная среда PIM-системы

матрично-векторных операций. Наличие в операционном поле многоуровневой коммутационной сети позволяет с помощью настройки устройства выполнять множество операций над данными различной разрядности, неоднократно используя одни и те же обрабатывающие блоки, лишь изменяя их разрядность, что отражает свойство реконфигурируемости операционной среды.

Устройство работает под управлением сигнала «Код операции» (см. рис. 6), поступающего на управляющие входы коммутирующих блоков, которые под воздействием этого сигнала осуществляют распределение

данных при выполнении арифметических операций в обрабатывающих устройствах и запись результатов в регистры. Считывание и запись данных в блок памяти операционного поля осуществляется по команде «Адрес строки».

Проверка правильности принятых решений в модифицированной операционной среде PIM-системы и возможности ее реализации на современной элементной базе была выполнена с использованием одного из элементов ПЛИС фирмы XILINX семейства Spartan 3. Семейство Spartan 3 специально разработано для использования в электронных устройствах, рассчитанных на большие тиражи и невысокую стоимость комплектующих [6]. Оно отличается логической емкостью, при этом минимальный по емкости кристалл содержит 50 000 эквивалентных системных вентилях, а максимальный — 5 000 000.

Для создания операционной среды PIM-системы, в частности базового элемента — умножителя 8×8 , на базе ПЛИС Xilinx был выбран младший кристалл XC3S50 семейства Spartan 3 и использована система автоматического проектирования XILINX ISE Foundation. При реализации предложенного устройства были разработаны его архитектура и структура, алгоритмы реализации набора операций, схематехническое описание, выполнено его моделирование для проверки правильности функционирования, а также размещение и трассировка устройства для его реализации на кристалле.

После выполнения операций размещения и трассировки для одного из элементов разработанной операционной среды (умножителя 8×8) получены следующие результаты:

количество использованных блоков входа-выхода — 33 из 124 имеющихся на кристалле;

количество использованных логических блоков — 60 из 768;

количество входных буферов BUFGMUXs — 1 из 8.

Максимальная задержка прохождения сигнала составляет 22,55 нс, что соответствует частоте работы устройства приблизительно 40 МГц.

Исследование параметров разработанной операционной среды PIM-системы показало, что такая среда позволяет расширить функциональные возможности и повысить быстродействие за счет применения предложенных обрабатывающих устройств, набора коммутационных устройств с соответствующими связями и в отличие от известных операционных сред подобного типа обеспечить возможность выполнения операции суммы парных произведений над 8- и 16-разрядными целочисленными данными. Такое устройство в составе PIM-системы позволит повысить эффек-

тивность их применения при решении задач цифровой обработки сигналов, обработки графики и изображений, а также при выполнении целочисленных матрично-векторных операций.

Выводы. Развитие интегральной технологии обеспечило возможность построения многопроцессорных систем на одном кристалле для задач, обладающих определенными свойствами (массовое обращение к памяти за данными, широкое распараллеливание алгоритмов и др.), что привело к появлению новых архитектурных линий (PIM, MIP и др.).

На начальном этапе появления PIM-систем в связи с различием технологий создания элементов памяти и логических элементов использовались простейшие (одноразрядные) процессорные элементы, подсоединенные к соответствующим блокам памяти, расположенным на том же кристалле. Затем, с появлением новых интегральных технологий, вполне пригодных для создания элементов памяти и логических элементов, наметилась тенденция к усложнению процессорных элементов памяти и расширения их функций. Вместо одноразрядных процессорных элементов стали применять 4-, 8- и 16-разрядные элементы обработки с расширенными функциональными возможностями. Появилась возможность статической и динамической настройки ресурсов системы на классы решаемых задач, в первую очередь настройки разрядности обрабатываемых данных как с фиксированной, так и с плавающей запятой (4, 8, 16, 32 и 64 разряда).

Анализ развития интегральной технологии и PE показал, что имеются существенные резервы повышения производительности известных PIM-систем [7]. На основании выполненного моделирования и оценки параметров разработанной операционной среды PIM-системы можно сделать вывод о том, что предложенные архитектурно-структурные решения позволяют расширить функциональные возможности по сравнению с известными решениями для систем такого типа и обеспечить более высокие параметры производительности PIM-системы.

The analysis of development of processor elements of PIM-systems is executed on which basis the architecturally-structural decisions are offered, allowing to expand functionality and to provide higher parameters of productivity of a processor element of PIM-system. Simulation and estimation of parameters of the developed processor element is executed.

1. Палагин А. В., Яковлев Ю. С., Тихонов Б. М. Основные принципы построения вычислительных систем с архитектурой «Процессор-в-памяти»//Управляющие системы и машины. — 2004. — № 5. — С. 30—37.
2. System Design for a Computational-RAM. Logic-In-Memory Parallel-Processing Machine. — http://129.215.96.3:1234/~chrb/papers/cram_thesis.pdf
3. Yamashita N., Kimyra T. et al 3,84 GIPS Integrated Memory Array Processor with 64 Processing Elements and 2-Mb SRAM// IEEE Journal Of Solid — State Circuits.— 1994. — Vol. 29, № 11. — P. 1336—1342.

4. *Lanuzza M., Margala M., Corsonello P.* Cost-Effective Low-Power Processor-In-Memory-based Reconfigurable Datapath for Multimedia Applications. — http://portal.acm.org/ft_gateway.cfm?id=1077645&type.pdf
5. *Яковлев Ю. С.* Об оптимизации архитектуры компьютерных систем на современной элементной базе//Управляющие системы и машины. — 2007. — № 5. — С. 43—51.
6. *Документация/Техническое описание семейства Spartan-3.* — www.plis.ru
7. *Палагин А. В., Яковлев Ю. С., Тихонов Б. М.* Системы памяти с интеграцией функций хранения и обработки информации (PIM-системы): Препр./НАН Украины. Ин-т кибернетики им. В. М. Глушкова. — Киев, 2006. — 33 с.

Поступила 04.06.08;
после доработки 19.11.08

ЯКОВЛЕВ Юрий Сергеевич, д-р техн. наук, зав. отделом Ин-та кибернетики им. В. М. Глушкова НАН Украины. В 1960 г. окончил Томский политехнический ин-т. Область научных исследований — теория и методы структурной организации и проектирования памяти ЭВМ и систем, совмещающих функции хранения и обработки информации, вопросы теории и структурной организации перспективных ЭВМ и систем на их основе с использованием современных методов выбора проектных решений.

ТИХОНОВ Борис Михайлович, науч. сотр. Ин-та кибернетики им. В. М. Глушкова НАН Украины. В 1967 г. окончил Киевский политехнический ин-т. Область научных исследований — системы параллельных вычислений, методы и средства организации вычислений в памяти ЭВМ.