

---

УДК 681.518.5:004.052.32

**В.В. Сапожников, Вл.В. Сапожников**, доктора техн. наук,  
**Д.В. Ефанов**, канд. техн. наук, **В.В. Дмитриев, М.Р. Черепанова**  
Федеральное государственное бюджетное образовательное учреждение  
высшего профессионального образования «Петербургский государственный  
университет путей сообщения Императора Александра I»,  
(Российская Федерация, 190031, Санкт-Петербург, Московский пр., 9,  
тел. (+7) 9117092164, (+7) (812) 4578579, e-mail: TrES-4b@yandex.ru)

### **Организация систем функционального контроля комбинационных схем на основе модифицированного кода с суммированием взвешенных переходов \***

Предложен способ построения кода с суммированием, основанный на взвешивании переходов между разрядами, занимающими соседние позиции в информационном векторе, и последующих операциях с весовыми коэффициентами переходов. Установлена последовательность весовых коэффициентов и простые правила модификации кода с суммированием взвешенных переходов, позволяющие строить оптимальные коды по критерию минимума общего числа необнаруживаемых ошибок в информационных векторах. Показано, что новые коды на практике позволяют создавать системы функционального контроля с уменьшенной аппаратурной избыточностью.

Запропоновано спосіб побудови коду з підсумовуванням, базований на зважуванні переходів між розрядами, які займають сусідні позиції в інформаційному векторі, та наступних операціях з ваговими коефіцієнтами переходів. Встановлено послідовність вагових коефіцієнтів та прості правила модифікації коду з підсумовуванням зважених переходів, які дозволяють будувати оптимальні коди по критерію мінімуму загальної кількості помилок, що не виявляються в інформаційних векторах. Показано, що нові коди практично дозволяють створювати системи функціонального контролю із зменшеною апаратурною надлишковістю.

*К л ю ч е в ы е с л о в а: система функционального контроля, контролепригодная структура, система дублирования, система контроля по паритету, код с суммированием, код Бергера, модифицированный код с суммированием взвешенных переходов, контрольная комбинационная схема.*

**Экспериментальные исследования кодов с суммированием на контрольных комбинационных схемах** позволяют выбрать наилучший вариант кодирования для организации контроля реальных логических схем.

---

\* Окончание. Начало статьи см. в № 6, 15.

Определение наиболее эффективного способа контроля осуществляется на основе двух критериев: минимальной аппаратной избыточности системы функционального контроля и максимального числа обнаруживаемых ошибок на выходах контролируемого устройства. Эти показатели являются «конкурирующими» и не всегда могут быть достигнуты для реальных устройств.

На практике задача обеспечения 100 %-го обнаружения всех одиночных неисправностей, возникающих на выходах логических элементов внутренней структуры контролируемой схемы, легко решается с помощью структуры дублирования (см. рис. 2). Однако при этом минимальная аппаратная избыточность составляет 300—400 % контролируемого устройства. Уменьшить данный показатель можно с помощью применения кода Бергера и некоторой модификации структуры контролируемой схемы [10, 44, 45], а также использования  $WT(m, k)$ -кода.

Были проведены экспериментальные исследования  $WT(m, k)$ -кода с системой контрольных комбинационных схем LGSynth89, используемой для оценки эффективности разрабатываемых методов технической диагностики [46, 47], с целью определения аппаратной избыточности СФК и показателей обнаружения ею ошибок.

Контрольные комбинационные схемы LGSynth89 описаны в формате \*.netblif, который является списочной формой задания схемы в виде net-листа — он содержит информацию о логических элементах структуры и задает конфигурацию связей между входами и выходами схемы и внутренними логическими элементами. Все контрольные комбинационные схемы записаны в базе ИЛИ-НЕ (библиотека nor.genlib).

Показателем сложности технической реализации логического устройства является площадь  $L$  (в условных единицах), рассчитанная с помощью известного интерпретатора SIS (Sequential Interactive Synthesis), разработанного специально для решения задач технической диагностики [48, 49].

С использованием разработанного программного обеспечения для 20 контрольных комбинационных схем получены файлы, описывающие блоки СФК, построенных по кодам паритета и  $WT(m, k)$ -кодам (см. рис. 3 и 4), а с применением интерпретатора SIS — значения площадей СФК, организованных по кодам паритета,  $WT(m, k)$ -кодам и методу дублирования (см. табл. 4). Для пяти контрольных комбинационных схем использование  $WT(m, k)$ -кода при организации СФК оказалось более эффективным, чем применение кода паритета. Однако для 15 контрольных комбинационных схем, наоборот, эффективнее по аппаратной избыточности является использование кода паритета, чем  $WT(m, k)$ -кода. Следует заметить, что для подавляющего большинства контрольных комбинационных схем (15

из 20) СФК, построенная по оптимальному  $WT(m, k)$ -коду, получилась более простой, чем структура, построенная по методу дублирования.

Введем два коэффициента, характеризующие величину  $L$ , для СФК, построенных по рассматриваемым кодам:

$$\varepsilon_P = L_m^P / L_m^{WT(m, k)}, \quad \varepsilon_D = L_m^D / L_m^{WT(m, k)}.$$

Назовем их коэффициентами эффективности по сложности технической реализации СФК, построенной на основе оптимального кода, по сравнению с СФК, построенной с использованием кода паритета и метода дублирования. Если  $\varepsilon_P > 1$  и  $\varepsilon_D > 1$ , то применение  $WT(m, k)$ -кода при организации СФК обеспечивает выигрыш в технической реализации по сравнению с соответствующей структурой.

Таблица 4

Номер п.п	Контрольная схема	$m$	Площадь контрольной схемы	Площадь СФК			$\varepsilon_P$	$\varepsilon_D$
				по коду паритета	по $WT(m, k)$ -коду	по системе дублирования		
1	alu2	6	8 856	15 816	20 400	19 008	0,775	0,932
2	alu4	8	17 288	101 468	99 488	36 384	1,02	0,366
3	b1	4	304	800	1 336	1 392	0,599	1,042
4	c17	2	256	640	896	784	0,714	0,875
5	cm42a	10	640	1 688	2 560	3 600	0,659	1,406
6	cm82a	3	656	1 536	1 568	1 840	0,98	1,173
7	cm85a	3	992	3 032	2 448	2 512	1,239	1,026
8	cm138a	8	560	1 368	2 416	2 928	0,566	1,212
9	cm151a	2	760	896	1 152	1 792	0,778	1,556
10	cm162a	5	1 176	3 400	3 840	3 392	0,885	0,883
11	cm163a	5	1 176	4 288	3 848	3 392	1,114	0,881
12	cmb	4	1 248	2 176	2 992	3 280	0,727	1,096
13	cu	11	1 464	3 176	4 416	5 504	0,719	1,246
14	decod	16	800	2 392	3 800	5 456	0,629	1,436
15	f51m	8	3 360	6 632	7 640	8 528	0,868	1,116
16	pclе	9	1 816	5 576	5 480	5 696	1,018	1,039
17	pm1	13	1 280	4 112	4 920	5 648	0,836	1,148
18	tcon	16	1 152	4 344	5 592	6 160	0,777	1,102
19	x2	7	1 304	2 400	3 248	4 160	0,739	1,281
20	z4ml	4	1 600	4 112	3 720	3 984	1,105	1,071
Среднее значение							0,837	1,094

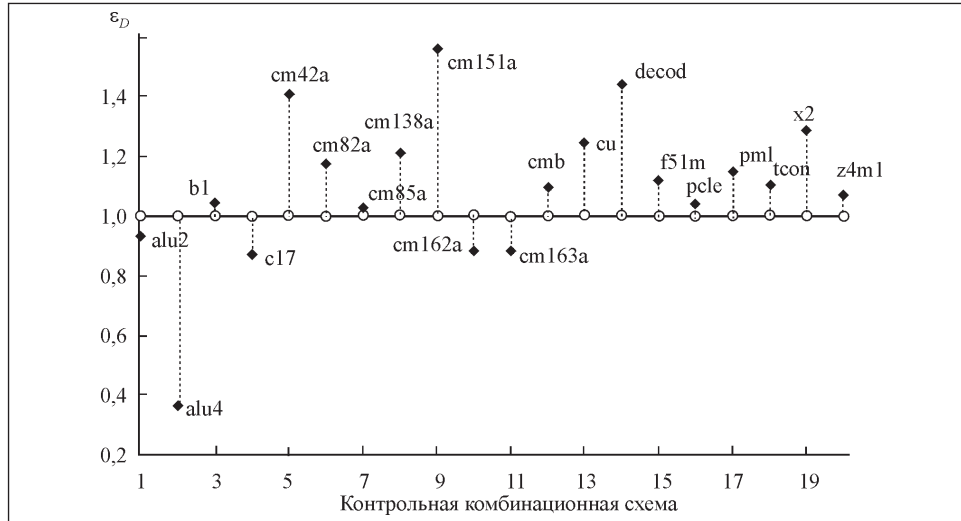


Рис. 6. Положение точек  $\varepsilon_D$  относительно граничного значения  $\varepsilon_D = 1$  для различных контрольных комбинационных схем

Значение коэффициента  $\varepsilon_p$  находится в диапазоне от 0,566 до 1,239 и является максимальным для контрольной схемы cm85a. При этом среднее значение  $\varepsilon_p = 0,837$  свидетельствует о преимуществе кода паритета над  $WT(m, k)$ -кодом по сложности технической реализации СФК. Значение коэффициента  $\varepsilon_D$  находится в диапазоне 0,366—1,556 и является максимальным для схемы cm151a. Следует заметить, что для некоторых контрольных схем получено значение  $\varepsilon_D > 1,2$ , что свидетельствует о возможности построения структуры, площадь которой меньше площади системы дублирования на 20 %. В среднем площадь СФК, построенной по  $WT(m, k)$ -коду, меньше площади системы дублирования на 9,4 % ( $\varepsilon_D = 1,094$ ).

На рис. 6 представлены в виде точек значения коэффициента  $\varepsilon_D$  для различных контрольных комбинационных схем. Выше линии граничного значения  $\varepsilon_D = 1$  расположены контрольные комбинационные схемы, для которых СФК, организованные на основе  $WT(m, k)$ -кода, являются более простыми по показателю сложности технической реализации, чем системы дублирования.

Результаты исследований показателей обнаружения ошибок на выходах контрольных комбинационных схем приведены в табл. 5. Для каждой контрольной комбинационной схемы определено число ошибок на выходах, возникающих при действии всех одиночных неисправностей во внутренней структуре схемы, а также число необнаруженных ошибок кодами

паритета и  $WT(m, k)$ . С помощью коэффициента  $\gamma$  определено, во сколько раз больше ошибок обнаруживают  $WT(m, k)$ -коды по сравнению с кодами паритета. Как видим из табл. 5,  $WT(m, k)$ -коды эффективнее обнаруживают ошибки в контролируемых схемах (в среднем  $\gamma = 7,886$ ). Заметим, что для некоторых комбинационных схем (9 из 20) применение  $WT(m, k)$ -кода для организации контроля позволяет идентифицировать 100 % ошибок на выходах контролируемых схем, чего нельзя добиться при использовании кодов паритета.

Таблица 5

Номер п.п	Контрольная схема	Число ошибок	Не обнаруживается		Доля необнаруживаемых ошибок от общего их числа, %		$\gamma$	
			кодом паритета	$WT(m, k)$ -кодом	Контроль по коду паритета	Контроль по $WT(m, k)$ -коду		
1	alu2	61 988	12 260	0	19,778	0	—	
2	alu4	1 966 881	368 588	43 421	18,74	2,208	8,487	
3	b1	44	2	0	4,545	0	—	
4	c17	234	46	0	19,658	0	—	
5	cm42a	278	8	0	2,878	0	—	
6	cm82a	648	68	4	10,494	0,617	17,008	
7	cm85a	30 912	176	64	0,569	0,207	2,749	
8	cm138a	680	0	0	0	0	—	
9	cm151a	14 592	14 592	0	100	0	—	
10	cm162a	317 331	44 763	6 583	14,106	2,074	6,801	
11	cm163a	1 221 312	153 920	22 464	12,603	1,839	6,853	
12	cmb	288 218	39 462	0	13,692	0	—	
13	cu	137 984	61 888	26 240	44,852	19,017	2,359	
14	decod	224	0	0	0	0	—	
15	f51m	13 008	783	64	6,019	0,492	12,234	
16	pclе	17 472 087	1 018 583	254 343	5,83	1,456	4,004	
17	pm1	189 440	10 944	4 864	5,777	2,568	2,25	
18	tcon	4 849 664	0	0	0	0	—	
19	x2	19 708	2 524	1 224	12,807	6,211	2,062	
20	z4ml	4 168	128	32	3,071	0,768	3,999	
Среднее значение						14,771	1,873	7,886

Из данных, приведенных в табл. 4 и 5, следует важная особенность нового оптимального кода: по обоим рассматриваемым критериям данный код для 35 % рассмотренных контрольных комбинационных схем (7 из 20: b1, cm42a, cm138a, cm151a, cmb, decod и tcon) оказывается эффективнее, чем структура дублирования, т.е. он может быть использован для контроля комбинационных схем без внесения избыточности в их структуры.

## Выводы

Предложенный оптимальный код, построенный на основе взвешивания переходов между разрядами, занимающими соседние позиции в информационном векторе, и последующими операциями с весовыми коэффициентами переходов, позволяет организовывать СФК комбинационных схем с улучшенными показателями по сравнению с известными методами. Таким образом,  $WT(m, k)$ -код является весьма перспективным для решения задач технической диагностики.

## СПИСОК ЛИТЕРАТУРЫ

1. *McCluskey E.J.* Logic Design Principles: With Emphasis on Testable Semicustom Circuits.— N.J.: Prentice Hall PTR, 1986. — 549 p.
2. *Smolens J.C., Jangwoo Kim, Hoe J.C., Falsafi B.* Understanding the Performance of Concurrent Error Detecting Superscalar Microarchitectures // Proc. of the Fifth IEEE International Symposium on Signal Processing and Information Technology. — Athens, Greece, 21 December, 2005. — P. 13—18.
3. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. — N. J.: John Wiley & Sons, 2006. — 720 p.
4. *Choudhury M.R., Mohanram K.* Approximate Logic Circuits for Low Overhead, Non-Intrusive Concurrent Error Detection // Proc. of the conf. on Design, automation and test in Europe (DATE'08).— Munich, Germany, 10-14 March, 2008. — P. 903—908.
5. *Theeg G., Vlasenko S.* Railway Signalling & Interlocking — International Compendium. — Eurailpress, 2009.— 448 p.
6. *Boussalam K., Di Natale G., Flottes M., Rouzeyre B.* Evaluation of Concurrent Error Detection Techniques on the Advanced Encryption Standard // Proc. of 16th IEEE International On-Line Testing Symposium (IOLTS). — Corfu, Greece, 5-7 July, 2010. — P. 223 — 228.
7. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). — Information Science Reference, Hershey. — NY: IGI Global, 2011. — 578 p.
8. *Goessel M., Graf S.* Error Detection Circuits. — London: McGraw-Hill, 1994. — 261 p.
9. *Lala P.K.* Self-checking and Fault-tolerant Digital Design. — University of Arkansas, 2001. — 216 p.
10. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. — М.: Радио и связь, 1989. — 208 с.
11. *Сапожников В.В., Сапожников Вл.В.* Самопроверяемые дискретные устройства.— СПб: Энергоатомиздат, 1992. — 224 с.
12. *Пархоменко П.П., Согомонян Е.С.* Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратурные средства). — М. : Энергоатомиздат, 1981. — 320 с.

13. Слабаков Е.В., Согомонян Е.С. Самопроверяемые вычислительные устройства и системы (обзор) // Автоматика и телемеханика. — 1981. — № 11. — С. 147—167.
14. Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. — Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. — 111 p.
15. Touba N.A., McCluskey E.J. Logic Synthesis of Multilevel Circuits with Concurrent Error Detection // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. — 1997. — Vol. 16, Jul. — P. 783—789.
16. Nicolaidis M., Zorian Y. On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications. — 1998. — Iss. 12. — P. 7—20.
17. Mitra S., McCluskey E.J. Which Concurrent Error Detection Scheme to Choose? // Proc. of Intern. Test Conference, 2000. — USA, Atlantic City, NJ, 03-05 October, 2000. — P. 985—994.
18. Matrosova A., Levin I., Ostanin S. Survivable Self-Checking Sequential Circuits // Proc. of 2001 IEEE Intern. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT 2001). — CA San Francisco, 24-26 October, 2001. — P. 395—402.
19. Kastensmidt F.L., Carro L., Reis R. Fault-Tolerance Techniques for SRAM-based. — Dordrecht: Springer, 2006. — 183 p.
20. Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. О свойствах кода с суммированием в схемах функционального контроля // Автоматика и телемеханика. — 2010. — № 6. — С. 155—162.
21. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Применение кодов с суммированием при синтезе систем железнодорожной автоматики и телемеханики на программируемых логических интегральных схемах // Автоматика на транспорте.— 2015. — 1, № 1. — С. 84—107.
22. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Обнаружение опасных ошибок на рабочих выходах комбинационных логических схем // Там же. — 2015. — 1, № 2. — С. 195—211.
23. Согомонян Е.С. Построение самопроверяемых схем встроенного контроля для комбинационных устройств // Автоматика и телемеханика. — 1974. — № 2.— С. 121—133.
24. Аксенова Г.П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Там же. — 1979. — № 9. — С. 126—135.
25. Ghosh S., Basu S., Touba N.A. Synthesis of Low Power CED Circuits Based on Parity Codes // Proc. of 23rd IEEE VLSI Test Symposium (VTS'05). — 2005. — P. 315—320.
26. Palframan D.J., Nam Sung Kim, Lipasti M.H. Time redundant parity for low-cost transient error detection // Proc. of the conference on Design, automation and test in Europe (DATE' 11). — Grenoble, France, 14-18 March, 2011. — P. 1—6.
27. Berger J.M. A Note on Error Detecting Codes for Asymmetric Channels // Information and Control. — 1961. — Vol. 4, Iss. 1. — P. 68—73.
28. Bose B., Lin D.J. Systematic Unidirectional Error-Detection Codes // IEEE Trans. Comput. — 1985. — Vol. C-34, Nov. — P. 1026—1032.
29. Das D., Touba N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes // J. of Electronic Testing: Theory and Applications. — 1999. — Vol. 15, Iss. 1-2.— P. 145—155.
30. Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. Построение модифицированного кода Бергера с минимальным числом необнаруживаемых ошибок информационных разрядов // Электрон. моделирование. — 2012. — 34, № 6. — С. 17—29.
31. Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. О кодах с суммированием единичных разрядов в системах функционального контроля // Автоматика и телемеханика. — 2014. — № 8. — С. 131—145.
32. Berger J.M. A Note on Burst Detecting Sum Codes // Information and Control. — 1961. — Vol. 4, Iss. 2-3. — P. 297—299.

33. *Das D., Touba N.A.* Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits // Proc. of the 17th IEEE VLSI Test Symposium. — USA, CA, Dana Point, 25-29 April, 1999. — P. 370—376.
34. *Das D., Touba N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proc. of the 6th IEEE International On-Line Testing Workshop (IOLTW). — Spain, Palm de Mallorca, July 3-5, 2000. — P. 171—176
35. *Ghosh S., Lai K.W., Jone W.B., Chang S.C.* Scan Chain Fault Identification Using Weight-Based Codes for SoC Circuits // Proc. of the 13th Asian Test Symposium. — Taiwan, Kenting, 15-17 November, 2004. — P. 210—215.
36. *Srihari P.* Sum Codes: A Binary Channel Coding Scheme // International Journal of Computer Science and Technology. — 2014. — Vol. 5, Iss. 1. — P. 60—64.
37. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Взвешенные коды с суммированием для организации контроля логических устройств // Электрон. моделирование. — 2014. — **36**, № 1. — С. 59—80.
38. *Efanov D., Sapozhnikov V., Sapozhnikov Vl., Nikitin D.* Sum Code Formation with Minimum Total Number of Undetectable Errors in Data Vectors // Proc. of 13th IEEE East-West Design & Test Symposium (EWDTS'2015).— Batumi, Georgia, 26-29 September, 2015. — P. 141—148.
39. *Saposhnikov V., Saposhnikov Vl.* New Code for Fault Detection in Logic Circuits // Proc. 4th Int. Conf. on Unconventional Electromechanical and Electrical Systems.— St. Petersburg, Russia, 21-24 June, 1999. — P. 693—696.
40. *Mehov V., Saposhnikov V., Sapozhnikov Vl., Urganskov D.* Concurrent Error Detection Based on New Code with Modulo Weighted Transitions between Information Bits // Proc. of 7th IEEE East-West Design & Test Workshop (EWDTW'2007).— Erevan, Armenia, 25-30 September, 2007. — P. 21—26.
41. *Мехов В.В., Сапожников В.В., Сапожников Вл.В.* Контроль комбинационных схем на основе модифицированных кодов с суммированием // Автоматика и телемеханика. — 2008. — № 8. — С. 153—165.
42. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В.* Свойства кодов с суммированием взвешенных переходов с прямой последовательностью весовых коэффициентов // Информатика и системы управления. — 2014. — № 4. — С. 77—88.
43. *Sapozhnikov V., Sapozhnikov Vl., Efanov D., Dmitriev V., Cherepanova M.* Optimum Sum Codes, that Effectively Detect the Errors of Low Multiplicities // RadioElectronics & Informatics. — 2015. — № 1. — P. 17—22.
44. *Busaba F.Y., Lala P.K.* Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // J. of Electronic Testing: Theory and Applications.— 1994. — Iss. 5. — P. 19—28.
45. *Saposhnikov V.V., Morosov A., Saposhnikov Vl.V., Göessel M.* A New Design Method for Self-Checking Unidirectional Combinational Circuits // Ibid. — 1998. — Vol. 12, Iss. 1-2. — P. 41—53.
46. *Benchmarks: LGSynth89.* — [Электронный ресурс]. — Режим доступа: <http://www.cbl.ncsu.edu:16080/benchmarks/LGSynth89/mlexamples/>.
47. *Collection of Digital Design Benchmarks.* — [Электронный ресурс]. — Режим доступа: <http://ddd.fit.cvut.cz/prj/Benchmarks/>.
48. *Yang S.* Logic Synthesis and Optimization Benchmarks User Guide: Version 3.0 // Technical Report 1991-IWLS-UG-Saeyang, MCNC. — 44 p.
49. *Sentovich E.M., Singh K.J., Lavagno L. et al.* SIS: A System for Sequential Circuit Synthesis // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science. — Berkeley: University of California, 1992. — 45 p.



V.V. Sapozhnikov, Vl.V. Sapozhnikov, D.V. Efanov, V.V. Dmitriev, M.R. Cherepanova

ORGANIZATION OF COMBINATIONAL CIRCUITS  
CONCURRENT ERROR DETECTION SYSTEMS BASED ON  
THE MODIFIED CODE WITH SUMMATION OF WEIGHTED TRANSITIONS

The authors adduce a way of formation of a code with summation, that is based on the weighting of transitions between adjacent bits in data vector and operations with transitions weight indexes. The consequence has been established for weight indexes and simple rules of modification of the code with summation of weighted transitions that allow us to form optimal, from the point of view of the minimum number of data bits undetectable errors, codes. It is shown that new codes allow organizing the concurrent error detection systems with lowered redundancy.

*Keywords:* concurrent error detection system, testable system, hardware redundancy, error detection, duplication system, parity-based check system, code with summation, Berger code, optimal code with summation, code with summation of weighted transition, modified code with summation of weighted transition, benchmark circuits.

REFERENCES

1. McCluskey, E.J. (1986), Logic design principles: with emphasis on testable semicustom circuits, Prentice Hall PTR, New Jersey, USA.
2. Smolens, J.C., Jangwoo, Kim, Hoe, J.C. and Falsafi, B. (2005), "Understanding the performance of concurrent error detecting superscalar microarchitectures", *Proceedings of the 5th IEEE International Symposium on Signal Processing and Information Technology*, Athens, Greece, December 21, 2005, pp. 13-18.
3. Fujiwara, E. (2006), Code design for dependable systems: theory and practical applications, John Wiley & Sons, New Jersey, USA.
4. Choudhury, M.R. and Mohanram, K. (2008), "Approximate logic circuits for low overhead, non-intrusive concurrent error detection", *Proceedings of the Conference on Design, Automation and Test in Europe (DATE'08)*, Munich, Germany, March 10-14, 2008, pp. 903-908.
5. Theeg, G. and Vlasenko, S. (2009), Railway signalling & interlocking, International compendium, Eurailpress, Hessen, Germany.
6. Bousselam, K., Di Natale, G., Flottes, M. and Rouzeyre, B. (2010), "Evaluation of concurrent error detection techniques on the advanced encryption standard", *Proceedings of 16th IEEE International On-Line Testing Symposium (IOLTS)*, Corfu, Greece, July 5-7, 2010, pp. 223-228.
7. Ubar, R., Raik, J. and Vierhaus, H.-T. (2011), "Design and test technology for dependable systems-on-chip", *Information Science Reference*, IGI Global, Hershey, New York, USA.
8. Goessel, M. and Graf, S. (1994), Error detection circuits, McGraw-Hill, London, UK.
9. Lala, P.K. (2001), Self-checking and fault-tolerant digital design, Morgan Kaufmann Publishers, USA.
10. Sogomonyan, E.S. and Slabakov, E.V. (1989), *Samoproveryaemye ustroystva i otkazoustoichivyye sistemy* [Self-checking devices and failover systems], Radio i svyaz, Moscow, Russia.
11. Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (1992), *Samoproveryaemye diskretnyye ustroystva* [Self-checking digital devices], Energoatomizdat, St. Petersburg, Russia.
12. Parkhomenko, P.P. and Sogomonyan, E.S. (1981), *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Bases of technical diagnostics (optimization of diagnostic algorithms and equipment)], Energoatomizdat, Moscow, Russia.
13. Slabakov, E.V. and Sogomonyan, E.S. (1981), "Self-checking computing devices and systems (review)", *Avtomatika i telemekhanika*, no. 11, pp. 147-167.

14. Piestrak, S.J. (1995), Design of self-testing checkers for unidirectional error detecting codes, Oficyna Wydawnicza Politechniki Wrocławskiej, Wrocław, Poland.
15. Touba, N.A. and McCluskey, E.J. (1997), "Logic synthesis of multilevel circuits with concurrent error detection", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, pp. 783-789.
16. Nicolaidis, M. and Zorian, Y. (1998), "On-line testing for VLSI, a compendium of approaches", *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20.
17. Mitra, S. and McCluskey, E.J. (2000), "Which concurrent error detection scheme to choose?", *Proceedings of International Test Conference, USA, Atlantic City, NJ, October 03-05, 2000*, pp. 985-994.
18. Matrosova, A., Levin, I. and Ostanin, S. (2001), "Survivable self-checking sequential circuits", *Proceedings of 2001 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT 2001)*, San Francisco, California, October 24-26, 2001, pp. 395-402.
19. Kastensmidt, F.L., Carro, L. and Reis, R. (2006), Fault-tolerance techniques for SRAM-based, Springer, Dordrecht, Netherlands.
20. Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, V.I.V. (2010), "On summation code properties in concurrent error detection systems", *Avtomatika i telemekhanika*, no. 6, pp. 155-162.
21. Sapozhnikov, V.V., Sapozhnikov, V.I.V. and Efanov, D.V. (2015), "Application of summation codes for synthesis of railway automation and remote control systems using programmable logic integrated circuits", *Avtomatika na transporte*, Vol. 1, no. 1, pp. 84-107.
22. Sapozhnikov, V.V., Sapozhnikov, V.I.V. and Efanov, D.V. (2015), "Dangerous errors detection at the operational outputs of combinational logic circuits", *Avtomatika na transporte*, Vol. 1, no. 2, pp. 195-211.
23. Sogomonyan, E.S. (1974), "Design of inbuilt test self-checking circuits for combinational devices", *Avtomatika i telemekhanika*, no. 2, pp. 121-133.
24. Aksyonova, G.P. (1979), "Necessary and sufficient conditions for the design of totally checking circuits of compression by modulo 2", *Avtomatika i telemekhanika*, no. 9, pp. 126-135.
25. Ghosh, S., Basu, S. and Touba, N.A. (2005), "Synthesis of low power CED circuits based on parity codes", *Proceedings of the 23rd IEEE VLSI Test Symposium (VTS'05)*, Palm-Springs, CA, May 1-5, 2005, pp. 315-320.
26. Palframan, D.J., Nam Sung Kim and Lipasti, M.H. (2011), "Time redundant parity for low-cost transient error detection", *Proceedings of the Conference on Design, Automation and Test in Europe (DATE'11)*, Grenoble, France, March 14-18, 2011, pp. 1-6.
27. Berger, J.M. (1961), "A note on error detecting codes for asymmetric channels", *Information and Control*, Vol. 4, Iss. 1, pp. 68-73.
28. Bose, B. and Lin, D.J. (1985), "Systematic unidirectional error-detection codes", *IEEE Trans. Comput.*, Vol. C-34, no. 11, pp. 1026-1032.
29. Das, D. and Touba, N.A. (1999), "Synthesis of circuits with low-cost concurrent error detection based on Bose-Lin codes", *Journal of Electronic Testing: Theory and Applications*, Vol. 15, Iss. 1-2, pp. 145-155.
30. Blyudov, A.A., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, V.I.V. (2012), "Formation of modified Berger code with minimum number of undetectable errors of data bits", *Elektronnoe modelirovanie*, Vol. 34, no. 6, pp. 17-29.
31. Blyudov, A.A., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, V.I.V. (2014), "On sum codes of unit bits in concurrent error detection systems", *Avtomatika i telemekhanika*, no. 8, pp. 131-145.
32. Berger, J.M. (1961), "A note on burst detecting sum codes", *Information and Control*, Vol. 4, Iss. 2-3, pp. 297-299.

33. Das, D. and Touba, N.A. (1999), "Weight-based codes and their application to concurrent error detection of multilevel circuits", *Proceedings of the 17th IEEE VLSI Test Symposium*, Dana Point, California, USA, April 25-29, 1999, pp. 370-376.
34. Das, D., Touba, N.A., Seuring, M. and Gossel, M. (2000), "Low cost concurrent error detection based on modulo weight-based codes", *Proceedings of the 6th IEEE International On-Line Testing Workshop (IOLTW)*, Palma de Mallorca, Spain, July 3-5, 2000, pp. 171-176.
35. Ghosh, S., Lai, K.W., Jone, W.B. and Chang, S.C. (2004), "Scan chain fault identification using weight-based codes for SoC circuits", *Proceedings of the 13th Asian Test Symposium*, Taiwan, Kenting, November 15-17, 2004, pp. 210-215.
36. Srihari, P. (2014), "Sum codes: a binary channel coding scheme", *International Journal of Computer Science and Technology*, Vol. 5, Iss. 1, pp. 60-64.
37. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2014), "Weighted sum codes for control organization of logic units", *Elektronnoe modelirovanie*, Vol. 36, no. 1, pp. 59-80.
38. Efanov, D., Sapozhnikov, V., Sapozhnikov, V.I. and Nikitin, D. (2015), "Sum code formation with minimum total number of undetectable errors in data vectors", *Proceedings of the 13th IEEE East-West Design & Test Symposium (EWDTS'2015)*, Batumi, Georgia, September 26-29, 2015, pp. 141-148.
39. Sapozhnikov, V. and Sapozhnikov, V.I. (1999), "New code for fault detection in logic circuits", *Proceedings of the 4th International Conference on Unconventional Electromechanical and Electrical Systems*, St. Petersburg, Russia, June 21-24, 1999, pp. 693-696.
40. Mehov, V., Sapozhnikov, V., Sapozhnikov, V.I. and Urganskov, D. (2007), "Concurrent error detection based on new code with modulo weighted transitions between information bits", *Proceedings of the 7th IEEE East-West Design & Test Workshop (EWDTW'2007)*, Erevan, Armenia, September 25-30, 2007, pp. 21-26.
41. Mehov, V.B., Sapozhnikov, V.V. and Sapozhnikov, V.I. (2008), "Checking of combinational circuits basing on modification sum codes", *Avtomatika i telemekhanika*, no. 8, pp. 153-165.
42. Sapozhnikov, V.V., Sapozhnikov, V.I., Efanov, D.V. and Dmitriev, V.V. (2014), "Properties of sum codes with weighted transitions with direct sequence of weight factors", *Informatika i sistemy upravleniya*, no. 4, pp. 77-88.
43. Sapozhnikov, V., Sapozhnikov, V.I., Efanov, D., Dmitriev, V. and Cherepanova, M. (2015), "Optimum sum codes, that effectively detect the errors of low multiplicities", *Radio Electronics & Informatics*, no. 1, pp. 17-22.
44. Busaba, F.Y. and Lala, P.K. (1994), "Self-checking combinational circuit design for single and unidirectional multibit errors", *Journal of Electronic Testing: Theory and Applications*, Iss. 5, pp. 19-28.
45. Sapozhnikov, V.V., Morosov, A., Sapozhnikov, V.I. and Göessel, M. (1998), "A new design method for self-checking unidirectional combinational circuits", *Journal of Electronic Testing: Theory and Applications*, Vol. 12, Iss. 1-2, pp. 41-53.
46. "Benchmarks: LGSynth89", available at: <http://www.cbl.ncsu.edu:16080/benchmarks/LGSynth89/mlexamples/>
47. "Collection of digital design benchmarks", available at: <http://ddd.fit.cvut.cz/prj/Benchmarks/>
48. Yang, S. (1991), "Logic synthesis and optimization benchmarks user guide: Version 3.0", *Technical Report*, 1991-IWLS-UG-Saeyang, MCNC, USA.
49. Sentovich, E.M., Singh, K.J., Lavagno, L., Moon, C., Murgai, R., Saldanha, A., Savoj, H., Stephan, P.R., Brayton, R.K. and Sangiovanni-Vincentelli, A. (1992), "SIS: a system for sequential circuit synthesis", Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, USA.

Поступила 04.09.15

*САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*

*САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*

*ЕФАНОВ Дмитрий Викторович, канд. техн. наук, доцент кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2007 г. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.*

*ДМИТРИЕВ Вячеслав Владимирович, ассистент кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2007 г. Область научных исследований — дискретная математика, программирование и моделирование.*

*ЧЕРЕПАНОВА Мария Родионовна, студент факультета «Автоматизация и интеллектуальные технологии» Петербургского государственного университета путей сообщения Императора Александра I. Область научных исследований — автоматика и дискретная математика.*