

Д. т. н. А. И. БЕЛОУС, д. т. н. В. А. ЕМЕЛЬЯНОВ, С. А. ЕФИМЕНКО, к. т. н. А. В. ПРИБЫЛЬСКИЙ

Беларусь, г. Минск, Науч.-производств. объединение «Интеграл»
E-mail: belms@belms.belpak.minsk.by

Дата поступления в редакцию
20.02 2001 г.

Оппоненты д. т. н. В. А. СОКОЛ,
к. т. н. Л. И. ПАНОВ

ПОВЫШЕНИЕ ДОСТОВЕРНОСТИ ОТБРАКОВКИ БИС МЕТОДОМ ПОНИЖЕНИЯ ПИТАЮЩЕГО НАПРЯЖЕНИЯ

Разработанный метод отбраковки микросхем в сравнении с известными позволяет существенно повысить достоверность отбраковки действительно ненадежных микросхем.

Недостатком большинства известных способов отбраковки является невозможность отбраковки действительно ненадежных микросхем — отбраковываются только дефектные микросхемы, неработоспособные при установленной в технических условиях величине напряжения или тока питания.

Наиболее широко в производстве БИС используются методы отбраковки [1–4], состоящие в том, что на БИС подают тестовые последовательности сигналов, сравнивают считанную информацию с эталоном, понижают напряжение питания БИС до заданной в технических условиях минимальной величины, при которой измеряют численные значения входных статических параметров (значение напряжения логического "нуля" и "единицы"). БИС считается годной, если численные значения выходных статических параметров соответствуют эталону. Если измеренные численные значения выходных напряжений соответствуют эталонным значениям $U_{\text{вых эт}}^1$, $U_{\text{вых эт}}^0$, то эта БИС обеспечивает работоспособность в расширенном температурном диапазоне, в противном случае — сохраняет работоспособность только в узком температурном диапазоне.

Однако:

- метод пригоден только для микросхем малой и (ограниченно) средней степени интеграции, имеющих небольшую логическую глубину и минимальное количество элементов между входом и выходом БИС;

- метод требует проведения дополнительно к функциональному контролю также и измерений на каждом тесте выходных статических параметров, что снижает производительность выходного контроля микросхем, усложняет аппаратуру, а для многovyходных БИС практически нереализуемо;

- основным недостатком метода является невозможность отбраковки ненадежных БИС со скрытыми дефектами.

В процессе изготовления БИС возможно образование различного рода локальных дефектов, обусловленных как точностью воспроизведения технологических

процессов (допустимые разбросы режимов операций и структурных параметров), так и уровнем чистоты исходных полупроводниковых материалов. Так, неизбежно существующий в технологическом процессе изготовления разброс величин поверхностных сопротивлений полупроводниковых областей и материалов межсоединений (алюминий, поликремний, нихром, ванадий и т. д.) обуславливает различие электрических характеристик даже одинаковых элементов БИС в зависимости от их местоположения на поверхности полупроводникового кристалла. Это различие в полной мере не может быть учтено при конструировании БИС в силу чрезвычайно многообразия, сложности учета и определения необходимых конструктивно-технологических факторов, и обуславливает диапазон работоспособности БИС и ее надежность. С течением времени и при воздействии дестабилизирующих факторов (температура, предельные напряжения питания) различие электрических характеристик может усиливаться (деградация параметров, старение материалов), что может привести к параметрическому или функциональному отказу БИС.

В настоящей работе предлагается новый метод повышения достоверности отбраковки ненадежных БИС.

Сущность метода заключается в следующем. На микросхему подают тестовые последовательности сигналов; сравнивают считанную с микросхемы информацию с эталоном; понижают напряжение питания БИС до величины, при которой происходит несовпадение считанной информации с эталоном; измеряют первое значение напряжения питания, при котором имеет место первое несовпадение считанной информации с эталоном для одной тестовой последовательности сигналов; измеряют второе значение напряжения питания, при котором имеет место несовпадение считанной информации с эталоном для заданного количества тестовых последовательностей сигналов, и считают микросхему годной, если разность первого и второго измеренных значений напряжений питания по абсолютной величине не превышает заданного значения.

На **рис. 1** представлена блок-схема устройства, реализующего предлагаемый способ.

На испытываемую микросхему от генератора тестовых последовательностей поступают последовательности тестовых сигналов. Устройство сравнения (УС) сравнивает считанную с микросхемы

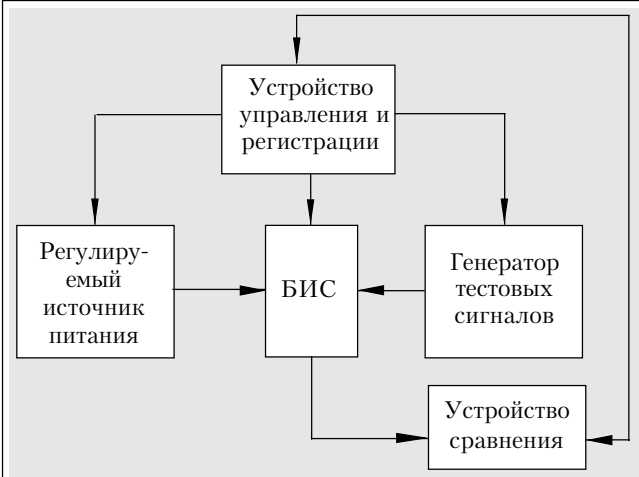


Рис. 1. Блок-схема измерительного устройства

информацию (результат выполнения микросхемой тестовой последовательности) с эталоном (правильный ответ) и результат сравнения передает в устройство управления (УУ). При отрицательном результате сравнения УС останавливает процесс испытаний БИС и квалифицирует БИС как отказавшую. При положительном результате сравнения устройство управления формирует управляющий сигнал для источника питания (ИП), под действием которого ИП плавно изменяет напряжение питания (U_c) в сторону уменьшения, за пределы установленного в технических условиях рабочего диапазона. При этом устройство управления фиксирует первое значение напряжения (U_{c1}), при котором имеет место первое несовпадение считанной информации с эталоном. Номер отказавшей тестовой последовательности (далее – теста) не запоминается. Затем УУ фиксирует второе значение напряжения питания U_{c2} , при котором отказывает заданное количество (n) тестов (например, 30% от общего количества). Если абсолютная величина разности $\Delta U_c = (U_{c1} - U_{c2})$ не превышает заданного значения $\Delta U_{c \max}$, микросхема считается годной, в противном случае – бракуется как ненадежная.

Количество n тестов, так же, как и численные значения $\Delta U_{c \max}$, определяются экспериментально для каждого конкретного типа микросхемы.

Согласно приведенному выше алгоритму работы в качестве представленного на рис. 1 устройства может быть использовано стандартное контрольно-измерительное оборудование с управляющей ЭВМ, которая может выполнять функции устройства управления. То есть данный метод может быть реализован практически без дополнительных аппаратных затрат.

На рис. 2 показана связь между напряжением питания, количеством тестовых последовательностей и количеством отказов потенциально ненадежных микросхем. Кривые 1 и 2 характеризуют границы области, в которой наблюдается зависимость процента отказавших тестов $y = (n_i/N) \cdot 100\%$ от величины напряжения питания U_c исследуемой выборки БИС одного типа. (Здесь N – общее количество тестов, используемых для контроля функционирования БИС, n – номер отказавшего теста, $i=1, \dots, N$).

Кривые 3 и 4 характеризуют границы области, в которой имеет место зависимость процента отказавших тестов от величины разности напряжения питания $\Delta U_{\max}^i = (U_{c1}^i - U_{c2}^i)$, где U_{c1}^i – первое значение напряжения питания, при котором имеет место первое несовпадение считанной и эталонной информации (первый отказавший тест) для последовательностей из i тестов, U_{c2}^i – второе значение напряжения питания, при котором имеет место несовпадение считанной информации с эталонной для заданного числа n тестов. Кривые 3 и 4 легко получить графическим построением из кривых 1 и 2 с общей осью y .

Кривая 5 характеризует связь числа БИС (m), отказавших в процессе длительных испытаний на надежность (обычно 1000 ч при 125°C), с абсолютной величиной разности напряжений $U_{c1} - U_{c2}$, определенной выше.

Для пояснения графического перехода от граничных кривых 1, 2 к граничным кривым 3, 4 на рис. 2 введены обозначения промежуточного этапа построения для заданного количества ($\gamma=10\%$) отказавших тестов. U_{c1} и U_{c2} – первые значения напряжения питания микросхемы, при которых имеют место первые отказавшие тесты, причем U_{c1}^1 – минимальное, а U_{c1}^2 – максимальное для исследуемой выборки значение. Аналогично U_{c2}^1 и U_{c2}^2 – вторые значения напряжения питания, при которых имеют место несовпадения считанной информации с эталоном для заданного количества тестов $\gamma=10\%$ от общего количества N , причем U_{c2}^1 – минимальное, а U_{c2}^2 – максимальное значение напряжений для исследуемой выборки. Тогда точка ΔU_c^1 кривой 3 вычисляется простым вычитанием отрезков $U_{c1}^1 - U_{c2}^1$ и, соответственно, $\Delta U_c^2 = U_{c1}^2 - U_{c2}^2$.

Значения ΔU_c^1 и ΔU_c^2 в точках кривых 3 и 4 характеризуют границы численных значений разности между

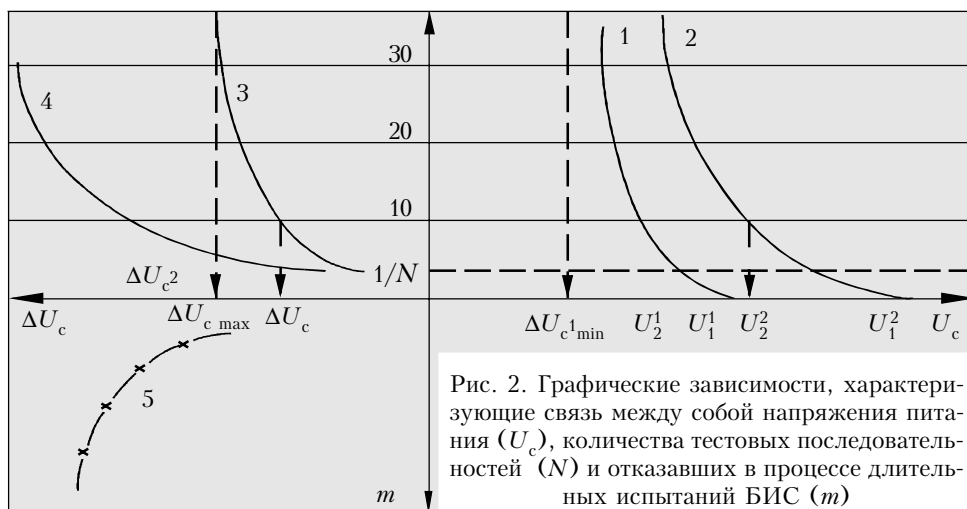


Рис. 2. Графические зависимости, характеризующие связь между собой напряжения питания (U_c), количества тестовых последовательностей (N) и отказавших в процессе длительных испытаний БИС (m)

первыми и вторыми значениями напряжения питания с заданным количеством отказавших тестов $\gamma=10\%$ от всего количества используемых тестов контроля БИС.

Анализ характера изменения кривой 5 показывает, что первые отказавшие (ненадежные) микросхемы появляются уже в том случае, если абсолютная величина разности первого и второго напряжения питания превышает величину $\Delta U_{c \max}$, затем количество отказавших БИС резко возрастает с увеличением численных значений ΔU_c . Следовательно, в качестве критерия отбраковки ненадежных БИС может быть выбрана величина $\Delta U_{c \max}$. Конкретный выбор численного значения величины $\Delta U_{c \max}$ производится эмпирически (рекомендуется не реже одного раза в год) и зависит от типа базы БИС (КМОП, И²Л, ТТЛ, ЭСЛ, ТТЛШ и др.), типа микросхем, от допустимых значений риска поставщика и заказчика, условий производства, от степени интеграции, экономических факторов.

Область, ограниченная кривыми 3, 4 и прямой $\Delta U_{c \max}$ (штриховая), характеризует надежные БИС, с низкой вероятностью отказов. Анализ области позволяет сделать вывод о выборе оптимального численного значения количества n отказавших тестов. Так, если ужесточить требования к численному значению ΔU_c , то количество тестов n , выбираемых при описанном способе, можно существенно сократить, что позволяет повысить производительность процедуры отбраковки ненадежных БИС, снизить их стоимость.

Теоретически минимальная величина напряжения питания БИС, при которой БИС еще функционирует (речь идет о нормальных температурных условиях), показана на рис. 2 как $U_{c \min}^1$. Так, численное значение $U_{c \min}^1$ для ТТЛ-схем составляет величину порядка 2,8 В, для И²Л схем — порядка 0,8 В, для низкопороговых (часовых) КМДП БИС — порядка 1,2 В, для высокопороговых КМДП БИС — порядка 2,0 В и т. д. Однако на практике, как сказано выше, в силу неизбежно существующего разброса электрофизических характеристик компонентов, их структурных и технологических параметров в пределах кристаллов БИС, данная величина обычно существенно выше. Известно, что для БИС средней степени интеграции величина $U_{c \min}$ лежит в диапазоне 3,1...3,2 В. Из рис. 2 видно, что кривая 1, характеризующая минимальной величиной ΔU_c , в наибольшей степени приближается к идеальному виду $U_{c \min}^1$.

Эффективность предлагаемого метода отбраковки легко поясняется на примере биполярных БИС. Известно, что основными видами дефектов, снижающих качество и надежность биполярных (И²Л, ТТЛ и ТТЛШ) БИС, являются локальные дефекты, приводящие к утечкам между различными элементами и узлами схемы. Например, резистивная связь "подложка — база биполярного транзистора" при номинале резистора утечки 5 кОм может быть выявлена только при $T=-60^\circ\text{C}$, а при более высоких температурах не выявляется [5, с. 84]. Утечка с эквивалентным сопротивлением более 5 кОм температурными испытаниями не выявляется. При длительной эксплуатации, вследствие протекания физико-хими-

ческих процессов, величина утечки может изменяться, что приводит к катастрофическому отказу.

С уменьшением напряжения питания резко возрастает чувствительность усилительных свойств биполярных транзисторов к утечкам, аномальные транзисторы (с утечками) будут отказывать в первую очередь. Такие отказы проявляются в виде первого измеренного напряжения отказа U_{c1} . Другие блоки, где нет дефектных транзисторов, будут работать и при дальнейшем снижении U_c , вплоть до U_{c2} , когда начинаются отказы ввиду приближения к минимальной теоретической границе $U_{c \min}^1$. Если дефектных элементов нет, то и различие U_{c1} и U_{c2} будет минимальным.

Экспериментальное опробование предложенного метода проводилось на больших выборках (100 шт.) микросхем ТТЛШ- и КМОП- типа. Так, при выходном контроле трех последовательных выборок по 100 шт. микросхем 153ЗИП4, изготовленных по базовому технологическому процессу и прошедших стандартный цикл испытаний на надежность, было забраковано 16 микросхем. Последующий анализ отказавших микросхем позволил установить причины — наличие внутренних (скрытых) дефектов.

Одновременно проводились испытания на трех выборках по 100 шт. микросхем этого же типа, но предварительно прошедших отбраковку при понижении питающего напряжения в соответствии с изложенным выше методом ($U_{c \min}^1=2,85\text{ В}$, $N=20$ тестовых последовательностей). При контроле по указанному методу было отбраковано 12 микросхем. После проведения цикла стандартных испытаний всей выборки микросхем (включая специально помеченные 12 "отказавших") на выходном контроле по стандартной методике измерений было забраковано 18 микросхем. Среди этих микросхем находились 12 микросхем, отмеченных ранее как отказавшие, что подтвердило высокую эффективность метода для ТТЛШ ИМС.

Аналогичные результаты были получены для логических КМОП-микросхем серии 1554.

Таким образом, разработанный метод отбраковки микросхем в сравнении с известными позволяет существенно повысить достоверность отбраковки ненадежных микросхем.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Физические основы надежности ИС / Под ред. Б. С. Миллера. — М.: Сов. радио, 1976.
2. Фитер В. Методы ускоренных испытаний микроэлектронных элементов // Зарубежная радиоэлектроника. — 1982. — № 11. — С. 3.
3. А. с. 158036 СССР, МКИ Н 05 L3/037. Способ отбраковки ненадежных КМДП-интегральных схем / А. И. Белоус, В. С. Ковалевский, А. В. Калинин, Е. Г. Лоцицкий — Заявл. 13.05.88.
4. А. с. 1410671 СССР, МКИ G 01 R31/28. Способ отбраковки дефектных микросхем интегральной логической логики / А. И. Белоус, А. В. Силин, Ю. Н. Акимкин, А. И. Дударчик. — Заявл. 26.09.86.
5. Белоус А. И., Силин А. В., Пономарь В. Н. Схемотехника биполярных микросхем для высокопроизводительных систем обработки информации. — Минск: ТАРПЕЙ, 1998.