

Дата поступления в редакцию
30.05 2001 г.

К. т. н. В. И. ЖАБИН, Н. А. КОВАЛЕВ

Украина, г. Киев, НТУУ "Киевский политехнический институт"
E-mail: kovvua@yahoo.com

Оппоненты

д. т. н. В. П. ТАРАСЕНКО (НТУУ "КПИ", г. Киев),
к. т. н. В. А. КРИСИЛОВ (ОНПУ, г. Одесса)

ИССЛЕДОВАНИЕ МЕТОДОВ ПОСТРОЕНИЯ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ НА ОСНОВЕ FPGA

Рассмотрены основные характеристики вычислительных устройств на базе программируемых вентиляльных матриц с использованием параллельных и квази-параллельных операционных блоков.

При организации вычислительной системы для обработки информации в реальном масштабе времени вычисления проводятся в темпе, обеспечивающем обслуживание определенного внешнего по отношению к ЭВМ процесса. Необходимость такой обработки возникает, например, при использовании ЭВМ в системах управления технологическими процессами, транспортными средствами, моделирования и т. п. При этом часто необходимо быстро вычислять многочисленные математические выражения, используя различные дробно-рациональные приближения функций.

К работе ЭВМ в указанном режиме предъявляются высокие требования по быстродействию и надежности. Программные способы вычислений подобных математических выражений не всегда могут обеспечить необходимое быстродействие. В этих случаях используют аппаратные методы вычислений. В нашем случае для построения вычислительных устройств использовался структурный метод [1], основанный на соединении операционных блоков в соответствии с графом алгоритма вычислений, представленного в ярусно-параллельной форме (ЯПФ). Для повышения надежности и других технико-экономических характеристик вычислителей, работающих в составе обслуживающей ЭВМ, целесообразно использовать современную элементную базу, в том числе FPGA (Field Programmable Gate Arrays, программируемые вентиляльные матрицы — ПВМ).

Основу архитектуры FPGA фирмы XILINX [2, 3] (рис. 1) составляет матрица блоков CLB (Control Logic Blocks, конфигурируемых логических блоков — КЛБ), окруженных по периферии блоками IOB (Input/Output Blocks, блоками ввода/вывода — БВВ).

Матрица КЛБ обеспечивает непосредственную реализацию логических функций, заданных пользователем. Соединительные ресурсы, представленные программируемыми ключами для конфигурации матрицы соединений, осуществляют передачу логических сигналов как между самими КЛБ, так и между КЛБ и БВВ, подобно шинам и дорожкам на печатных платах. БВВ реализуют

функцию интерфейса между внутренней логикой схемы и внешними выводами FPGA.

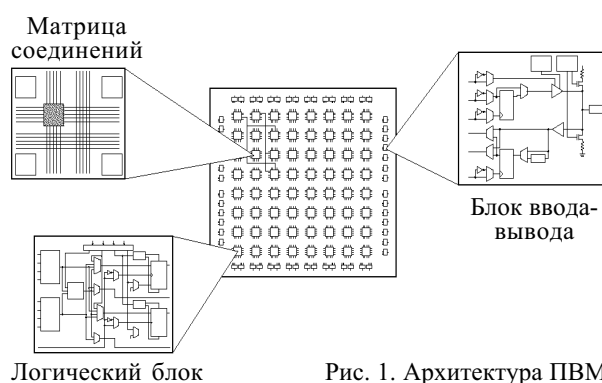


Рис. 1. Архитектура ПВМ

В состав КЛБ входят:

- не более трех m -входовых блоков LUT (Look-up Tables, таблиц перекодировки — ТП), где $m=3, 4, 5$ в зависимости от семейства ПВМ;

- несколько триггеров (CLB Flip Flops);
- различная управляющая логика.

В состав блоков БВВ входят:

- несколько триггеров (IOB Flops) для синхронизации внешних и внутренних сигналов: организации задержек и т. п.;

- несколько регистров-защелок (IOB Latches);

- различная управляющая цифровая и аналоговая логика.

Следовательно, одними из основных характеристик вычислителей, построенных на базе ПВМ, являются:

- количество использованных блоков КЛБ, а также триггеров и ТП в этих блоках;

- количество использованных БВВ, а также триггеров и регистров-защелок в этих блоках;

- общее время вычисления;

- оптимальная максимальная частота работы вычислителя и связанные с ней параметры энергопотребления.

Целью исследования является уменьшение степени использования ресурсов FPGA при построении вычислителей, повышение их быстродействия, улучшение параметров энергопотребления (уменьшение напряжения питания, рассеиваемой мощности и т. д.).

Реализация математических выражений традиционными вычислителями параллельного типа [4], выполняющими операции умножения, сложения, деления, перед началом счета требует наличия всех разря-

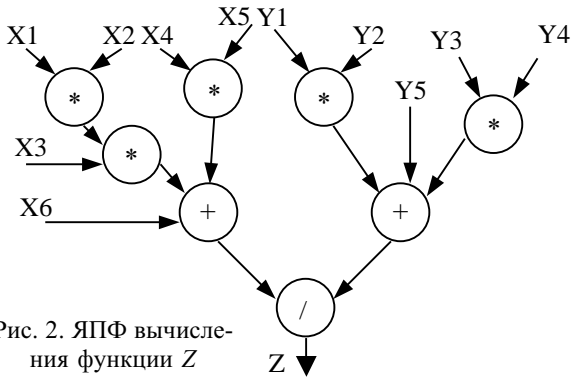


Рис. 2. ЯПФ вычисления функции Z

дов операндов. Известны неавтономные методы вычислений, позволяющие совмещать процессы поразрядного ввода и переработки информации, что особенно важно для уменьшения времени выполнения последовательностей зависимых операций [1, 5—7]. Кроме того, совмещение процессов поразрядного ввода и переработки информации способствует также минимизации числа внешних выводов вычислителей при их реализации на основе FPGA.

Оценку различных подходов построения вычислительных устройств (ВУ) структурным методом проведем на примере реализации дробно-рациональной функции

$$Z = \frac{X1 \cdot X2 \cdot X3 + X4 \cdot X5 + X6}{Y1 \cdot Y2 + Y3 \cdot Y4 + Y5} \quad (1)$$

В одном случае будем использовать параллельные операционные блоки (ОБ), а во втором — квазипараллельные.

Для вычисления Z по формуле (1) использовалась ЯПФ, показанная на рис. 2.

Для построения ВУ обоих типов было использовано семейство FPGA XC4085XL фирмы XILINX. Для синтеза ОБ и ВУ применялась САПР Foundation Series F2.1i.

ОБ умножения и деления [8] параллельного типа обеспечивают формирование N-разрядного результата за N и (N+2) тактов, соответственно. Например, в состав ОБ деления параллельного типа (рис. 3) входят два N-разрядных регистра данных (РД), N-разрядный сумматор (СМ), N-разрядный регистр сдвига (СР). ОБ умножения с младших разрядов множителя со сдвигом множимого влево включает 2N-разрядный СР, N-разрядный СР, (N+1)-разрядные РД и СМ, где $l \geq 1 + \log_2(N-l-1)$.

ОБ сложения, умножения и деления квазипараллельного типа реализованы по методикам, предложенным в [1, 7]. Так, в состав ОБ деления (рис. 4) входят 4-разрядный СМ, пять (N/2+6)-разрядных СМ, (N/2+3)-разрядный РД, два (N/2+6)-разрядных РД, (N/2+6)-разрядный СР. ОБ умножения включает (N/2+1)-разрядный СР, три (N/2+1)-разрядных СМ, два (N/2+1)-разрядных РД, (N/2+3)-разрядный РД, (N/2+3)-разрядный СМ. Основу архитектуры 3-входового ОБ сложения квазипараллельного типа составляют два 5-разрядных СМ и 5-разрядный РД.

В результате схема ВУ параллельного типа, реализующая выражение (1) по ЯПФ на рис. 2, имеет вид, показанный на рис. 5.

Схема ВУ квазипараллельного типа показана на рис. 6.

Таким образом, в состав ВУ обоих типов для реализации выражения (1) входят по пять ОБ умножения, по одному ОБ деления. Однако ВУ квазипараллельного типа имеет два трехвходовых ОБ сложения, а ВУ параллельного типа — четыре двухвходовых ОБ

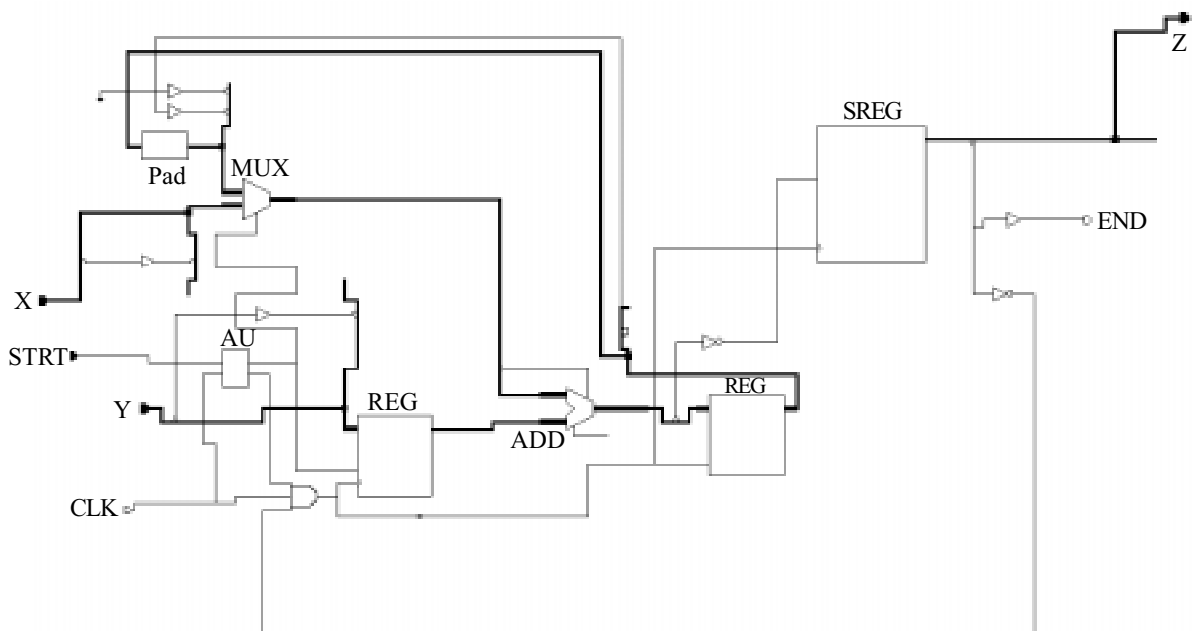


Рис. 3. ОБ деления без восстановления остатка:

Pad — шинный формирователь; MUX — мультиплексор; SREG — регистр сдвига; REG — регистр данных; AU — управляющий автомат; ADD — сумматор; X — делимое; Y — делитель; Z — частное; CLK — тактирующие импульсы; STRT — стартовый сигнал; END — сигнал завершения процесса деления

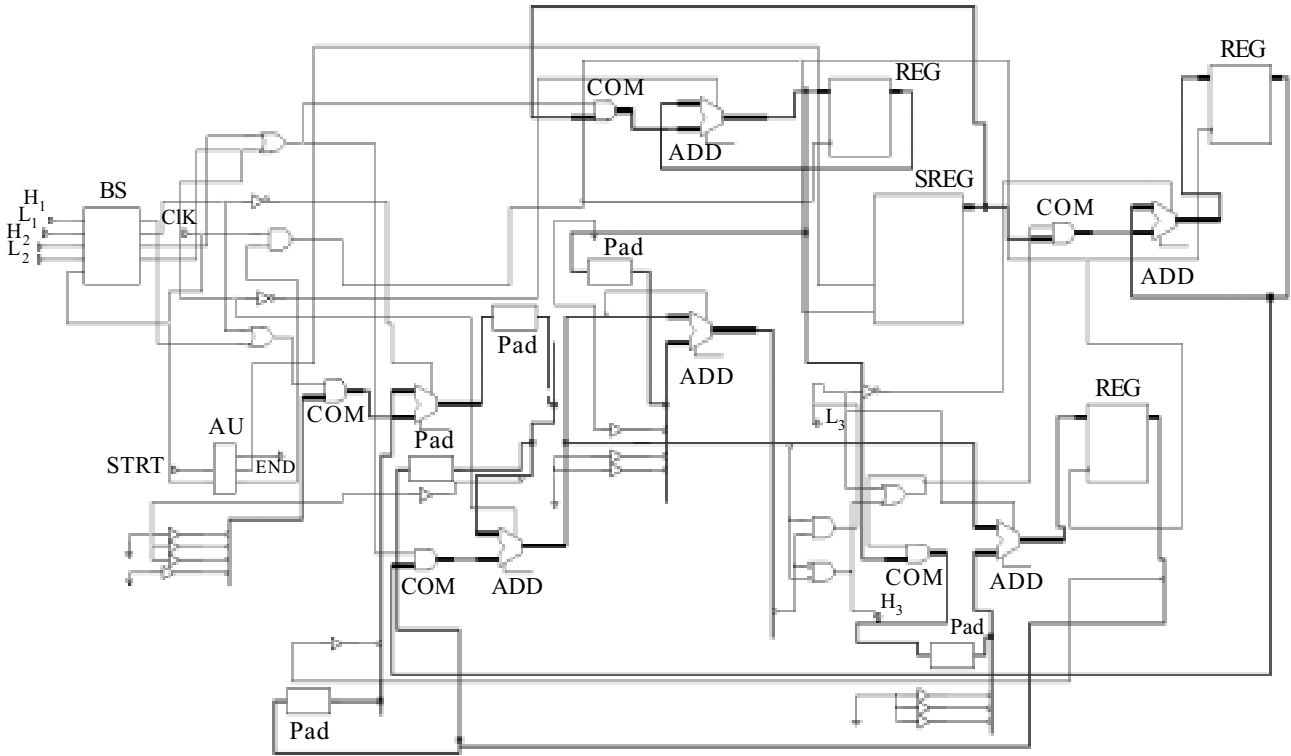


Рис. 4. Схема квазипараллельного ОБ деления:

COM — коммутатор; BS — блок синхронизации; H_i, L_i — сигналы представления цифр операндов в избыточной позиционной системе счисления "– 1, 0, 1" ($i = 1$ (делимое), 2 (делитель), 3 (частное))

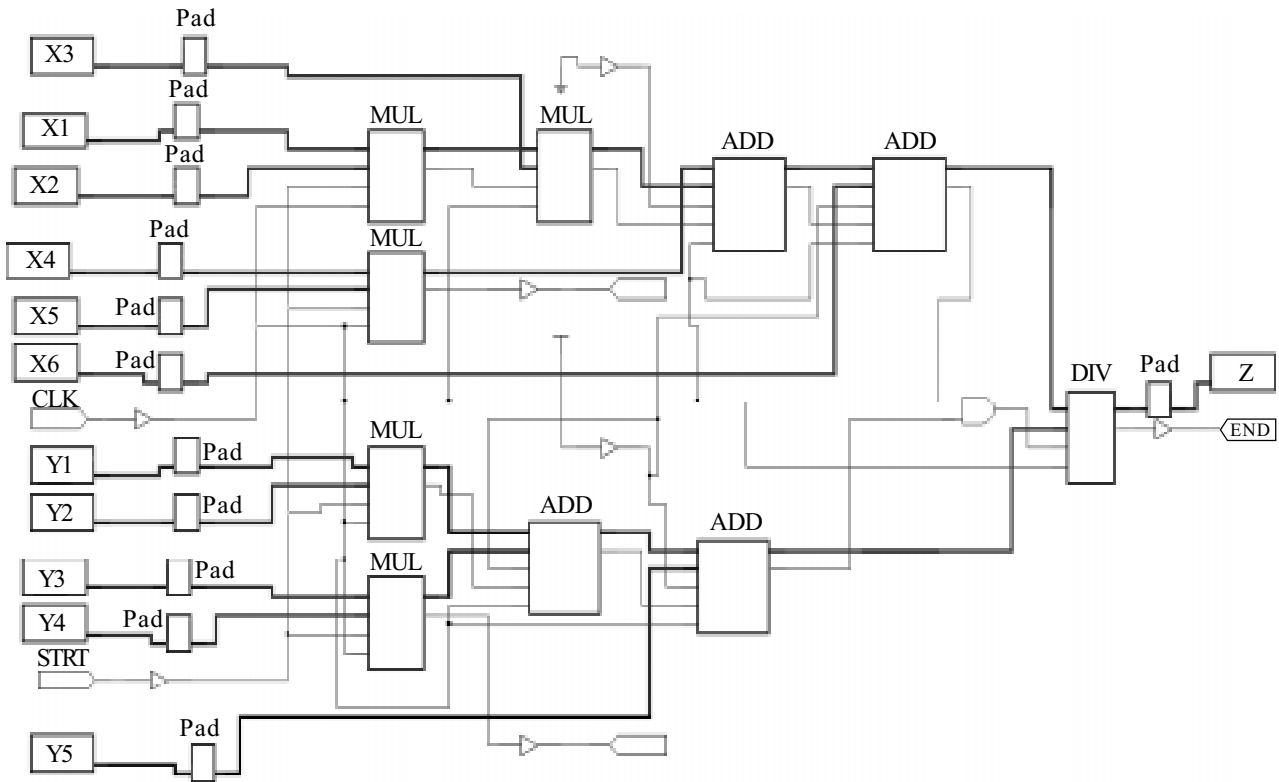


Рис. 5. ВУ параллельного типа, реализующее функцию Z:

MUL — ОБ умножения; DIV — ОБ деления без восстановления остатка; X_i, Y_i — операнды, соответствующие аргументам функции Z; Z — результат вычислений

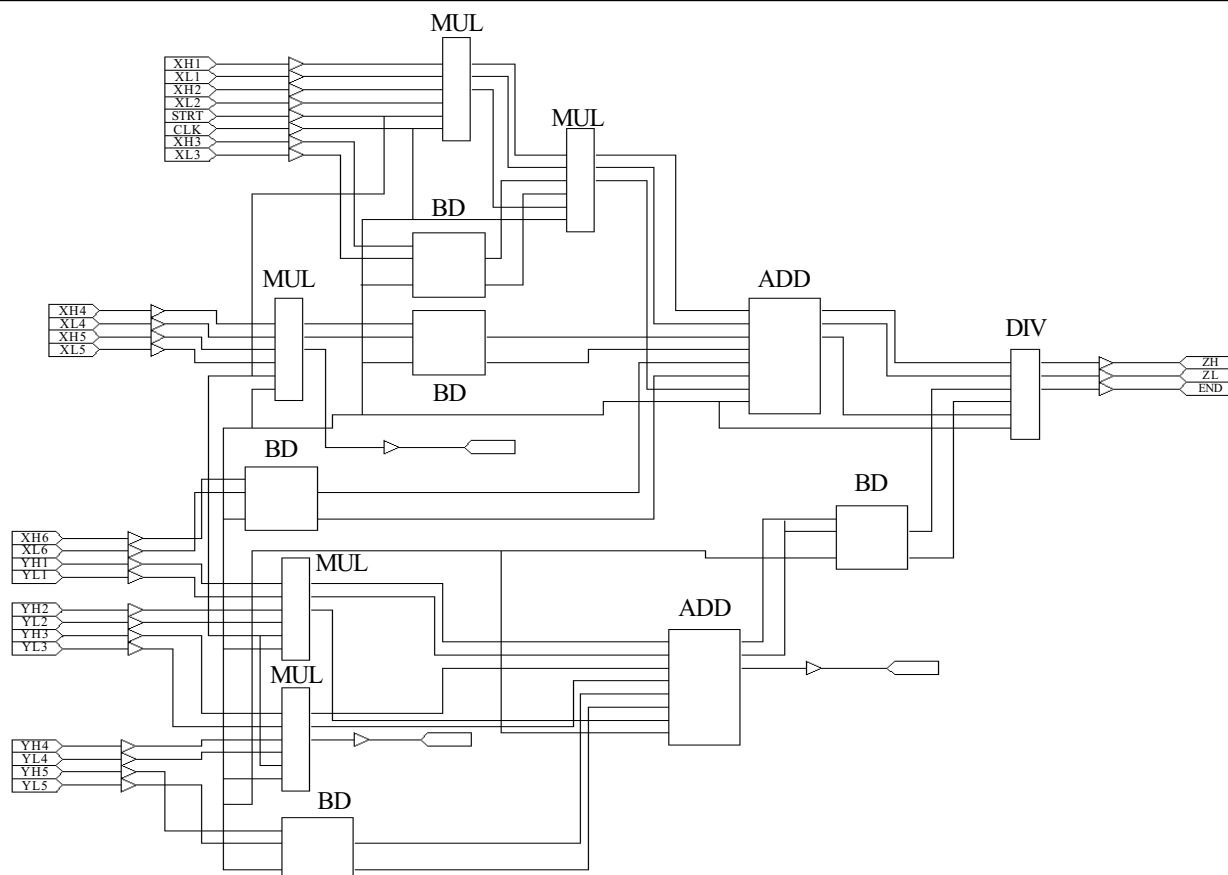


Рис. 6. ВУ квазипараллельного типа, реализующее функцию Z:

ADD — квазипараллельные сумматоры; MUL — квазипараллельные ОБ умножения; DIV — квазипараллельные ОБ деления; BD — блоки задержки для синхронизации подачи одноименных разрядов операндов на входы ОБ; XHi, XLi, YHi, YLi, ZH, ZL — сигналы представления цифр операндов, соответствующих аргументам и результату вычисления функции Z в избыточной позиционной системе счисления "–1, 0, 1"

Основные технические характеристики вычислителей

Технические характеристики	Параллельные ВУ			Квазипараллельные ВУ		
	12-разрядный	24-разрядный	32-разрядный	12-разрядный	24-разрядный	32-разрядный
Число использованных КЛБ (процент от общего количества)	331 (10%)	603 (19%)	731 (23%)	372 (11%)	538 (17%)	647 (20%)
Число использованных триггеров КЛБ	383	723	854	367	462	558
Число использованных четырехходовых ТП	475	895	1063	607	931	1142
Число использованных трехходовых ТП	20	26	35	60	79	89
Число использованных БВВ (процент от общего количества) или выводов FPGA	161 (35%)	305 (68%)	401 (89%)	30 (6%)	30 (6%)	30 (6%)
Число использованных триггеров БВВ	0	0	0	0	0	0
Число использованных регистров-защелок БВВ	0	0	0	0	0	0
Эквивалентное количество вентиляей	6202	11672	13909	7333	11209	13751
Оптимальная максимальная частота работы схемы, МГц	26,477	23,813	19,655	22,207	17,026	17,897
Время вычисления функции Z, мкс	1,43	3,12	4,99	1,08	2,11	2,46

сложения. Кроме того, ВУ квазипараллельного типа использует блоки задержки для синхронизации подачи на входы ОБ одноименных разрядов операндов и промежуточных результатов.

Проектирование ВУ осуществлялось по критерию минимальности аппаратных затрат. С учетом архитектурных особенностей семейства FPGA XC4085XL (блок КЛБ включает две четырехходовые ТП, которые параллельно с пятым входом подключены к трехходовой ТП; наличие в каждом блоке КЛБ цепей ускоренного переноса, заема и т. п.) основные параметры транслятора по получению бинарного кода для программирования FPGA выглядели следующим образом:

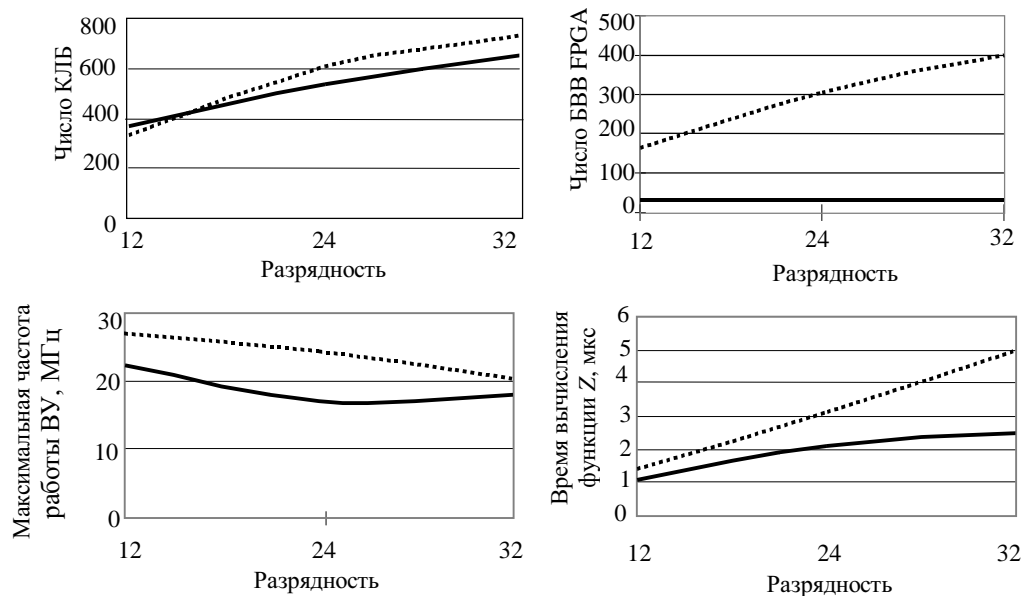


Рис. 7. Пунктирная линия — зависимости для параллельных ВУ, сплошная — для квазипараллельных

- максимальная оптимизация размещения и трассировки;
- синтез булевых функций преимущественно от пяти аргументов;
- копирование логики для уменьшения уровня логической сложности;
- наиболее полное использование ресурсов каждого КЛБ;

— минимизация использования триггеров КЛБ и т. д.

Все ВУ выполнены на базе FPGA XC4000XLPG559.

Характеристики использования ресурсов FPGA и быстродействия в зависимости от различной разрядности ВУ, реализующих дробно-рациональное выражение (1) от одиннадцати аргументов, сведены в **таблицу**.

С учетом приведенных технических характеристик построены зависимости ресурсоемкости, быстродействия и времени вычисления выражения (1) от разрядности N ВУ квазипараллельного и параллельного типа (**рис. 7**).

Из приведенных зависимостей следует, что при увеличении разрядности операндов квазипараллельные ВУ более экономично используют ресурсы FPGA (КЛБ). При этом существенно уменьшается требуемое количество внешних выводов матриц (БВВ). На одинаковой частоте тактирования квазипараллельные ВУ обеспечивают значительно меньшее время вычисления функции по сравнению с параллельными ВУ. Кроме того, квазипараллельным ВУ требуется существенно меньшая частота тактирования для обеспечения заданного времени вычисления таких функций, что обеспечивает снижение параметров энергопотребления (напряжения питания, рассеиваемой мощности и т. д.) и увеличение надежности. Это позволяет удешевить средства охлаждения FPGA либо обойтись без них, а также использовать более дешевые семейства FPGA при построении ВУ.

Таким образом, при однократном вычислении рассмотренных функций квазипараллельные ВУ, реализованные на базе FPGA, при увеличении разрядности операндов превосходят параллельные ВУ по основным технико-экономическим характеристикам.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Жабин В. И., Корнейчук В. И., Тарасенко В. П. Некоторые машинные методы вычисления рациональных функций многих переменных // Автоматика и телемеханика.— 1976.— № 12.— С. 145—154.

2. XILINX. The Programmable Logic Data Book. July 1998.

3. Стешенко В. Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов.— М.: ДОДЭКА, 2000.

4. Самофалов К. Г., Корнейчук В. И., Тарасенко В. П. Цифровые ЭВМ.— Киев: Вища школа, 1989.

5. А. с. 451079 СССР. Множительное устройство последовательного действия / В. И. Жабин, В. И. Корнейчук, В. П. Тарасенко, Б. П. Хижинский.— 1974.— Б. И., № 43, с. 117.

6. Корнейчук В. И., Тарасенко В. П., Жабин В. И. Способ быстрого умножения чисел, представленных последовательным кодом // Автоматика и вычислительная техника.— 1975.— № 5.— С. 82—86.

7. Жабин В. И., Корнейчук В. И., Тарасенко В. П. Быстрое выполнение арифметических операций при поразрядном вводе операндов / В сб.: Структурные методы повышения точности, чувствительности и быстродействия измерительных устройств.— 1975.— Изд-во Украинск. республ. Правления НТО Приборпром.— С. 59—60.

8. Жабин В. И., Корнейчук В. И., Макаров В. В., Тарасенко В. П. Влияние точности вычисления на сложность квазипараллельных операционных устройств в мультипроцессорных системах // Автоматика и вычислительная техника.— 1982.— № 3.— С. 29—32.