

# КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

*Рассмотрены принципы организации реконфигурируемых систем, построенных на современной элементной базе – кристаллах ПЛИС, которые представляются совокупностью фиксированных и переменных аппаратных средств. Переменные аппаратные средства состоят из материнской платы, реконфигурация которой не требует механических изменений в системе, и модулей расширения, при включении которых в конфигурацию системы требуются механические изменения в системе. Предложен обобщенный алгоритм оптимальной конфигурации системы для реализации вычислительного алгоритма с учетом заданного критерия оптимизации. Выполнен аналитический обзор современных реконфигурируемых устройств.*

© В.Н. Опанасенко, В.Г. Сахарин,  
2003

УДК 004 27

В.Н. ОПАНАСЕНКО, В.Г. САХАРИН

## РЕКОНФИГУРИРУЕМЫЕ СИСТЕМЫ НА СОВРЕМЕННОЙ ЭЛЕМЕНТНОЙ БАЗЕ

**Введение.** Реконфигурируемые системы на базе ПЛИС широко используются во многих областях: реконфигурируемая обработка данных; цифровая обработка сигналов; обработка изображений; коммуникации; вычислительные устройства общего назначения; верификация. На сегодняшний день доступны кристаллы Virtex-II фирмы Xilinx емкостью до 10 миллионов системных вентилях, которые имеют огромное преимущество в логической емкости над предыдущими кристаллами FPGA [1]. В течение ближайших трех - четырех лет будут предложены устройства емкостью 50 миллионов системных вентилях - достаточная логика, чтобы формировать сложные, высокоэффективные системы на одном кристалле.

Семейство кристаллов Virtex (включает серии Virtex, Virtex-E, Virtex-EM, Virtex-II, Virtex-II-Pro) оптимизировано для использования как hard, так и soft cores. Hard cores (типа PowerPC) – специализированные области кристалла FPGA, выделенные для определенных функций, в которых создаются блоки неизменной структуры, оптимизированные для заданной функции. Память - критическая часть большинства проектов. Соотношение между объемами памяти и логических вентилях в семействе Virtex будет продолжать увеличиваться, потому что новые проекты требуют все больше памяти. Встроенные умножители в кристаллах Virtex позволяют создавать быстродействующие DSP проекты [2].

В настоящее время продолжает интенсивно развиваться область Soft core, которая постоянно пополняется новыми ядрами [1,3]. Доступны ядра RISC микропроцессоров и разрабатывается ядро процессора Java. Фирмой Xilinx разработано ядро процессора MicroBlaze, которое использует приблизительно 800 логических ячеек и работает с частотой 125 МГц.

Фирмы-производители реконфигурируемых плат и устройств на базе кристаллов фирмы Xilinx под свои изделия разрабатывают собственные ядра IP. Например, фирма Nallatech разработала ядра для обработки операндов с плавающей точкой (соответствующих стандарту IEEE-754) под кристаллы серии Virtex с быстродействием до 200 MFLOPS [4]. Кроме процессоров и периферийных устройств, фирма Xilinx интенсивно внедряет IP (Intellectual Property) стратегию и в другие области техники - DSP, коммуникации, сети, вычислительные устройства общего назначения. В области DSP стратегию IP характеризуют три основных раздела: реализация функций DSP общего назначения типа FIR (КИХ) - фильтров и преобразователей FFT (БПФ); специализированные приложения, обеспечиваемые функциональными компонентами более высокого уровня, такими как дешифраторы Viterbi и Reed-Solomon; сложные системы, образуемые инструментальными средствами и программным обеспечением. К области общего применения относятся ядра IP, представляющие собой элементы логики малой и средней степени интеграции типа сумматоров и компараторов, а также элементы памяти, включая FIFO, CAM и RAM. Возрастающий темп увеличения номенклатуры ядер IP непосредственно связан с увеличением логической емкости кристаллов фирмы Xilinx [1].

**Принципы построения реконфигурируемых систем.** Реконфигурируемые системы представляют собой проблемно - ориентированные конфигурации применительно к каждой конкретной задаче. Структура реконфигурируемой системы представлена на рисунке и состоит из двух частей: постоянной (или «фиксированной») части F - host компьютера и переменной части V - так называемого «реконфигурируемого» оборудования, которое можно объединять в различные конфигурации. Оборудование V также подразделяется на две части: «стандартную» часть  $V_s$ , которая подключается к F через стандартные шины host компьютера и представлена материнской платой с внутренней локальной шиной для подключения «нестандартной» части  $V_n$ , представляющей собой широкий набор модулей расширения. Операции, выполняемые в каждой из частей, определяются следующими характеристиками: в F - временем вычислений и исходными данными; в  $V_s$  и  $V_n$  - также дополнительным оборудованием, необходимым для выполнения соответствующих операций, временем передачи информации между вычислительными модулями и временем реконфигурации системы (загрузки soft cores в кристаллы ПЛИС).

Реализация управления координацией работы отдельных элементов системы возможна и без затрат специального оборудования, чисто программными методами, за счет увеличения общего времени решения.

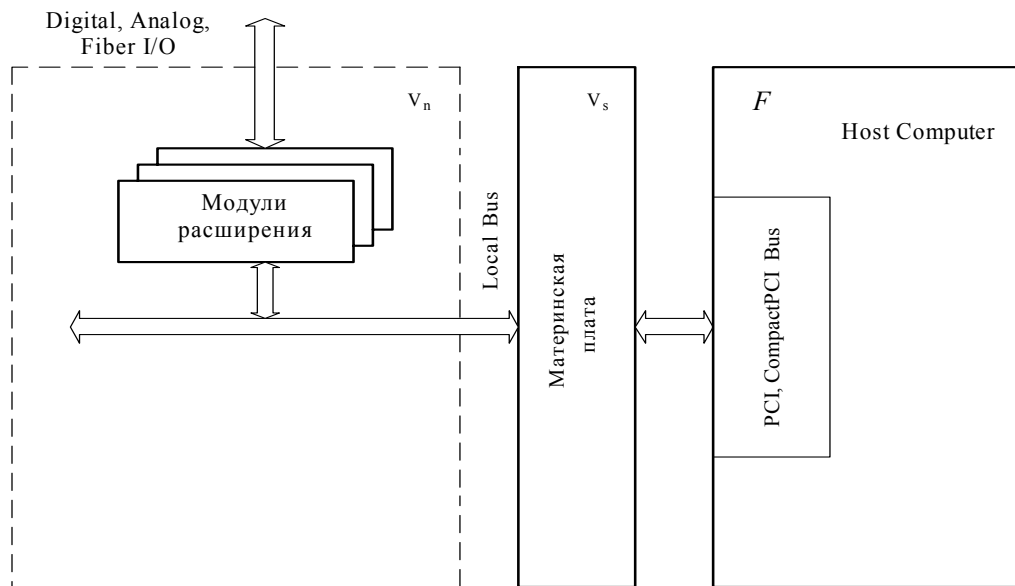


РИСУНОК. Структура реконфигурируемой системы

В данной системе конфигурация формируется таким образом, чтобы перенести основную работу с  $F$  - части системы на специализированные блоки, которые представляют собой *soft cores* ( $V$  - часть). Для строго сформулированной вычислительной задачи (где однозначно определены все численные процедуры) и описания характеристик операций для  $F$  и  $V$  требуется организовать общую структуру ( $F + V_s + V_n$ ) и распределить вычисления таким образом, чтобы минимизировать целевую функцию (сумма стоимостей реконфигурации и времени вычислений).

Сформулированная проблема [5] является исключительно сложной, по существу это комбинаторная задача оптимального синтеза. Ограничение, накладываемое конечным объемом реконфигурируемого оборудования ( $V_s + V_n$ ), не позволяет получить приемлемый для практики однозначный метод нахождения оптимального решения. Поэтому находится решение, близкое к оптимальному, методом последовательных приближений. Суть этого алгоритма состоит в следующем.

Устанавливается исходное распределение задачи, при котором все операторы, составляющие задачу, возлагаются на  $F$  - часть системы. Вычисляется стоимость выполнения задачи, отвечающая этому распределению.

Выбираются операторы в качестве «кандидатов» дальнейшего распределения. Делаются пробные распределения каждой вычислительной структуры  $V_i$ , способной их выполнить. Вновь подсчитывается стоимость (как совокупность времени вычислений и времени «обращений» к соответствующим элементам системы) и «реконфигурируемые» требования. На основе установленного критерия (например, минимальная стоимость при заданных ограничениях на реконфигурируемое оборудование) выбирается окончательная конфигурация системы. Процесс распределения продолжается до достижения удовлетворительного уровня стоимости либо до момента, когда закончены все распределения. Поскольку для изменения структуры системы необходимо пользоваться электронными или механическими средствами, процесс распределения включает две фазы. В первой изменяется лишь часть  $V_s$ , т.е. механическое изменение не допускается. Если не достигнут заданный критерий оптимизации, то есть часть  $V_s$  не имеет достаточной логической мощности и памяти, либо специфических средств ввода-вывода информации, то осуществляется переход ко второй фазе. И дальнейшая реконфигурация системы выполняется также и механическим способом (путем установки модулей расширения в соответствующие разъемы – слоты материнской платы).

**Структурная организация реконфигурируемых устройств.** Реконфигурируемые устройства (РУ) представляют собой в минимальной конфигурации печатную плату с размещенными на ней одним или несколькими кристаллами пользовательских ПЛИС (ППЛИС), энергонезависимой памяти для хранения файлов конфигурации, элементами загрузки конфигурационного файла (файлов) и одним или несколькими разъемами для подключения внешних устройств (модулей расширения) [6]. Тип энергонезависимой памяти определяется областью применения РУ: для динамического конфигурирования ППЛИС в процессе функционирования целесообразно использовать Flash - память, а при отсутствии такой необходимости - ППЗУ. Использование flash - памяти предполагает наличие в составе РУ блока управления этой памятью, реализующего ее загрузку файлами конфигурации из внешнего источника, а также чтения с произвольной выборкой требуемого файла и его загрузки.

Большинство задач обработки данных требуют наличия cache-памяти в составе РУ. Обращение к памяти должно осуществляться как от внешнего устройства (через установленный разъем), так и со стороны устройства, реализованного в ППЛИС. Для расширения памяти на плате РУ устанавливается разъем для подключения дополнительной памяти. Cache – память в составе РУ предполагает наличие контроллера памяти.

Такой тип РУ получил название несущих или материнских плат, в связи с тем, что к ним могут быть подсоединены платы расширения. РУ разрабатываются под промышленные стандарты, такие как PCI, CompactPCI, PMC (PCI Mezzanine Cards), DIME (DSP and Image processing Module for Enhanced FPGAs) [7] и VME. Спецификация PMC разрешает добавлять модули расширения к материн-

ским платам через локальную шину PCI [8]. Материнские платы подключаются к стандартной шине компьютера и работают в режиме сопроцессора. Материнские платы ПУ разрабатываются многими фирмами, в том числе Alpha Data [8], Annapolis Micro Systems [9], Nallatech [4] и др.

Материнская плата ADC-RC1000 (Alpha Data) является PCI платой [8] с кристаллом FPGA серии Virtex/Virtex-E логической емкостью до 2 млн. вентилей (поддерживает кристаллы от XCV400 до XCV2000E). Содержит память 8МВ SRAM (четыре 32-разрядных банка) и два слота расширения для ПМС. Каждый из 4 банков памяти доступен центральному процессору через PCI шину или кристаллу FPGA в любой комбинации. Для межплатных соединений предусмотрен 50-контактный разъем ввода-вывода, позволяющий объединить между собой несколько плат ADC-RC1000 или подключить специализированные интерфейсы. В комплект поставки кроме платы включены драйверы для Windows NT 4.0 и Windows 95 вместе с прикладными примерами, написанными на языке «С». Загружаемые в FPGA файлы конфигурации могут быть сформированы с помощью инструментальных средств серий Alliance или Foundation [10]. Предполагается возможность использования и других комплектов инструментальных средств EDA.

Материнская плата XRC-PCI содержит не более двух слотов ПМС для подключения модулей расширения (ADM-XRC, ADM-XRC-II) и память 8МВ ZBT SRAM (4 независимых банка памяти с организацией 256К/512К x 36 бит), а также flash - память (2 Мбайта), программируемую внутрисхемно.

Благодаря мощности и гибкости ПМС модулей последние находят широкое применение в технике, использующей стандарт VME. В качестве примера такого использования можно назвать плату ADC-VME с тремя слотами ПМС для подключения модулей ADM-XRC или ADM-XRC-II и 4 независимых банка памяти с организацией 256К/512К x 36 бит на кристалл FPGA, а также flash - память (2М байта). Имеется возможность создания замкнутых систем для специальных приложений путем выбора соответствующих ПМС модулей и соединения их с ADC-VME платой. В материнских VME платах имеется мост VME-PCI, с помощью которого реализуется согласование такой платы с модулями расширения.

Материнские платы ПУ разрабатываются также фирмой Annapolis Micro Systems [9]. Эти платы базируются на кристаллах серии Virtex и могут быть использованы в качестве высокопроизводительных параллельных процессоров, подключаемых к VME, PCI и Compact PCI шинам, с возможностью подключения многочисленных дополнительных плат расширения. Имеется широкий диапазон карт ввода - вывода для PCI, включая аналоговую и цифровую камеру, RS422, E1, E3, T1 и новую карту, называемую картой ввода - вывода Virtex, которая содержит 172 дополнительных высокоскоростных линии цифрового ввода - вывода и кристалл Virtex. Для увеличения объема памяти ПУ на материнских платах имеются слоты для подключения дополнительных карт памяти (12, 20, или 40 Мбайт).

Высокопроизводительные платы цифровой обработки сигналов семейства WILDSTAR способны выполнять операции с быстродействием порядка

11.8 GFLOPS (20 - битовые операции с плавающей точкой - FFT) и 23.7 GOPS (16 - битовые операции с фиксированной точкой - MACS). WILDSTAR поставляется с ядром IP Multi-Radix FFT для вычисления комплексной точки FFT (32- битовые с плавающей точкой) примерно за 25 мкс. Компания Annapolis Micro Systems также выпускает плату Cardbus, называемую WILDCARD, которая предназначена для работы с портативным компьютером.

Платы WILDSTAR II построены на одном, двух или трех кристаллах Virtex II 3000-8000 и поддерживают стандарты PCI, VME и 6U Compact PCI [11]. Данные платы, в случае использования трех кристаллов XC2V8000 и двух дополнительных плат ввода-вывода на основе кристалла XC2V8000 каждая (при комплектации 168 32-битовыми умножителями и 60 сумматорами с плавающей точкой), обеспечивают быстродействие до 227,5 GFLOPS.

Таким образом, в настоящее время фирма предлагает следующие семейства реконфигурируемых плат: FIREBIRD для PCI; FIREBIRD для Compact PCI; FIREBIRD для PMC; WILDSTAR для PCI; WILDSTAR для VME; WILDCARD; WILD-ONE; WILDFORCE; STARFIRE.

Продукция фирмы Nallatech с технологией DIME обеспечивает, прежде всего, основные строительные блоки для реализации алгоритмов DSP, обработки изображений, а также иерархических систем. При этом модули обработки на базе FPGA используют самые последние технологии, чтобы дать пользователям платформу для разработки приложений в таких областях как медицина, армия, охрана. DIME модули использует самую современную технологию известных фирм Xilinx, Analog Devices, Intel и HP, предоставляя пользователям непосредственную модульную и масштабируемую платформу для разработки приложений в различных областях информатики. Стандартные модули DIME используются в качестве доступных и быстродействующих средств видеообработки, коммуникации и сбора данных. Это позволяет построить на базе FPGA полностью заказные DSP системы, использующие стандартные изделия.

Модули DIME фирмы Nallatech [4,7] были разработаны для реализации сложных проблем обработки изображений (образов), которые не решались в полной мере при использовании микропроцессоров, DSP и отдельных заказных кристаллов. Архитектура DIME реализует высокоскоростную обработку в соответствии с требованиями, предъявляемыми к современным приложениям DSP и обработки изображений в космических и военных областях применения. Материнские платы разработаны с учетом гарантируемой скорости передачи данных между модулями и норм ввода - вывода данных для обширного диапазона доступных модулей. Они включают интерфейсы для широкополосной аналоговой, оптоволоконной и проводной коммуникации данных, TV высокой точности и специальные интерфейсы типа 1553 для военного применения или LVD для SCSI. Материнские платы также включают интеллектуальные контроллеры PCI, работающие с максимальной разрядностью и быстродействием шины PCI (64 бит/ 66 МГц) и обеспечивают хорошо проработанный интерфейс с пользовательскими приложениями на PC.

Фирма Nallatech разработала также новые модули DIME-II с возможностями TeraOPs, которые используют кристаллы серии Virtex для проектирования систем обработки данных. При этом реализовано семейство плат, базирующихся на кристаллах Virtex с различной логической емкостью (от XCV300 до XCV800). Фирмой разработана PCI плата (Ballynuey), позволяющая сравнительно легко и быстро реализовать полностью заказные проекты, использующие четыре слота расширения для DIME модулей. При этом имеется возможность непосредственного и простого доступа к шине PCI для проектов, реализованных в кристаллах Virtex FPGA.

Для реализации интерфейса между программным обеспечением системы PC и пользовательским приложением (управление кристаллами Virtex) используется предварительно запрограммированный кристалл серии Spartan фирмы Xilinx, который выполняет следующие функции: интерфейс PCI через Xilinx PCI LogiCORE; механизм DMA PCI Master, реализующий пакетные передачи; два отдельных интерфейса FIFO между PCI Master и Virtex устройством, работающих в режиме прямого доступа к памяти; обработка прерываний; реконфигурация кристалла Virtex.

Модули обеспечивают также дополнительные сервисные функции, необходимые для работы полных систем, включающие: цифровой ввод - вывод (20 двунаправленных линий); аналоговый ввод-вывод (имеется два коннектора для аналоговых сигналов обратной связи); четыре DIME модуля (модули DSP и обработки изображений для расширения функций кристаллов FPGA); три независимых таймера; 12 светодиодов для отображения состояний. В данных модулях доступны VHDL функции, которые позволяют быстро и легко использовать внутреннюю память FIFO и синхронную DRAM. При использовании базовой PCI платы Ballynuey проекты загружаются в кристаллы FPGA непосредственно по шине PCI через JTAG.

Плата Ballynuey представляет собой идеальную платформу для оценки проектов в кристаллах FPGA семейства Virtex в диапазоне средств системного уровня, включая шину PCI и четыре платы расширения с модулями DIME. Стандартные модули DIME используются в качестве доступных и быстродействующих средств видеообработки, коммуникации и сбора данных. Это позволяет построить на базе FPGA полностью заказные DSP системы, использующие стандартные изделия, и приводит к сокращению производственных затрат и времени продвижения изделий на рынок.

Последние технологии, базируемые на FPGA серии Virtex-II, объединяют некоторые модули с традиционными DSP процессорами типа SHARC фирмы Analog Devices (BallySHARC) и StrongARM фирмы Intel (BallyARM). Эти решения дополняют ресурсы FPGA и реализуют типичные DSP платформы, где могут быть полностью использованы от моделированных алгоритмы в «С» - кодах.

Для обеспечения скорости передач между модулями DIME до 8 Гбайт/с были разработаны материнские платы типа Veneга и BenNUEY. Эти платы содержат аналоговые интерфейсы фирм Analog Devices и Maxim, а также интеллектуальные PCI контроллеры, реализующие максимальные возможности шины PCI

при передаче (64 бит / 66 МГц). Современные модули типа BenNUEY-II и BenADDA поддерживают кристаллы Virtex-II и Virtex-II Pro (BenPRO) фирмы Xilinx с 18-битовыми умножителями и тактовой частотой до 400 МГц.

**Заключение.** В работе рассмотрены принципы организации реконфигурируемых систем, построенных на современной элементной базе (кристаллах ПЛИС), которые представляются совокупностью фиксированных и переменных аппаратных средств. Переменные аппаратные средства состоят из материнской платы и модулей расширения, при включении которых в конфигурацию системы формируется специализированная вычислительная система, эффективно реализующая заданный алгоритм с учетом заданного критерия оптимизации. Конфигурирование материнской платы и плат расширения осуществляется загрузкой выбранных файлов конфигурации (которые составляют библиотеку структурных конфигураций и сформированы заранее с помощью инструментальных средств САПР) в соответствующие кристаллы ПЛИС. Рассмотренный обобщенный алгоритм формирования оптимальной конфигурации системы для реализации заданного вычислительного алгоритма позволяет использовать открытую библиотеку файлов конфигурации, для которой доступны как оригинальные разработки, так и широкий набор soft cores.

1. Available at <http://www.xilinx.com/>
2. *Telikpal A.* Virtex-II Pro FPGAs: The Platform for Programmable Systems Has Arrived // Xcell. – 2002. - N 42. - P.7-10.
3. Core Solutions Data Book. - Xilinx Inc. 1998. – 399 p.
4. Available at <http://www.nallatech.com/>.
5. *Estrin G., Turn R.* Automatic assignment of computation in a variable structure computer system // IEEE Trans. on Electr. Computers. - 1963. - 6. - P. 755 - 773.
6. *Палагин А.В., Опанасенко В.Н., Сахарин В.Г.* Реконфигурируемые структуры на ПЛИС // УСиМ. - 2000. - №3. – С. 32 - 39.
7. *Cantle A.* Single DIME Module Delivers 2.2 Million Programmable Gates and Growing //Xcell. - 1999. - N 32. - P. 44.
8. Available at <http://www.alphadata.com.uk/>.
9. Available at <http://www.annapmicrosystem.com/>.
10. *Палагин А.В., Опанасенко В.Н., Сахарин В.Г.* Особенности проектирования цифровых устройств на современных ПЛИС фирмы Xilinx // Проблемы управления и информатики. – 2001. - №1. – С. 105 – 119.
11. *Donaldson J.* From Algorithm to Hardware - The Great Tools Disconnect // COTS Journal. – October, 2001. – P. 48 – 63.

Получено 15. 06. 2003