

К. т. н. Г. В. КУЦЕНКО

Украина, г. Киев, НТК "Импульс"
E-mail: ntkimpuls@ukr.net

Дата поступления в редакцию
28.01 2005 г.

Оппонент Л. И. САМОТОВКА
(Институт микроприборов, г. Киев)

СХЕМНОЕ РЕШЕНИЕ ПОСТРОЕНИЯ МАТРИЧНОГО РЕГИСТРА

Экономичный матричный регистр сочетает в себе регистр приема последовательного кода и счетчик времени и может быть рекомендован для реализации в виде микросхемы.

Последние достижения в области совершенствования технологии изготовления интегральных схем, а также совершенствование элементной базы, позволили получить новые качественные характеристики интегральных схем. Однако прогресс в области микроэлектроники зависит не только от совершенства технологии, но и от умения разработчика находить нетрадиционные схемотехнические решения.

Анализ устройств с последовательным вводом двоичной информации способствовал выделению структурного варианта построения регистра, обеспечивающего предельные частоты ввода двоичной информации при одновременном повышении информационной емкости и снижении потребляемой мощности. Увеличение быстродействия и снижение аппаратных затрат достигается за счет двойного применения нетрадиционного алгоритма последовательного сдвига [1].

Примером устройства с последовательным вводом двоичной информации является преобразователь последовательного кода в параллельный на базе сдвигового регистра. В потенциальной системе элементов он предполагает использование двух триггеров на один разряд устройства. Такие преобразователи находят применение, например, в контроллерах последовательного синхронного приема [2, с. 180, 181]. В таких контроллерах входная информация поступает непрерывно, а время ее съема определяется счетчиком тактов.

Существует устройство [1], представляющее собой сочетание регистра сдвига и счетчика, при этом затраты оборудования при сохранении быстродействия эквивалентны затратам (по триггерам) классического регистра с двухтактным управлением; счетчик тактов в этом устройстве отсутствует, его роль выполняет регистр управления. Кроме того, при условии непрерывного поступления информации общее количество переключений при сдвиге уменьшается на 75% в сравнении с классическим сдвигом, что эквивалентно увеличению частоты в пределе в 4 раза [3] при условии одинакового тепловыделения. Счи-

таем, что такое устройство реализовано на логических элементах с использованием БиМОП (или БиКМОП) технологии и состоит из двух регистров. Один регистр принимает входную информацию, а другой управляет ее приемом и отсчитывает время; при такой реализации устройства на один разряд информационного регистра приходится один разряд регистра управления.

С целью дальнейшей экономии элементов (при сохранении остальных характеристик устройства) предлагается *матричный регистр*, реализация которого возможна на базе программируемых логических интегральных схем (ПЛИС). В [4], как пример, показана возможность реализации на ПЛИС многоразрядного сдвигового регистра в составе цифрового фильтра.

На **рис. 1** приведена схема матричного регистра, на **рис. 2** — временные диаграммы работы, на **рис. 3** — алгоритм работы.

Предложенное устройство содержит регистр управления приемом последовательного кода 1, регистр управления приемом параллельного кода 2, последовательный информационный регистр приема входного кода 3, информационные регистры приема параллельного кода 4 (регистры собраны на триггерах 5 с вентилями записи единицы 6 и вентилями записи нуля 7), триггер фиксации приема последнего разряда входного кода последовательным информационным регистром 8, триггер управления регистром управления приемом последовательного кода 9, триггер управления регистром управления приемом параллельного кода 10, триггер фиксации приема последнего разряда последовательного кода матричным регистром 11, шины входного парафазного кода 12, шины системы тактовых импульсов T1, T2 13 и 14, выходные шины парафазного кода второго регистра приема параллельного кода 19, 20, 21, 22, цепь единичного выхода триггера фиксации приема последнего разряда последовательного кода матричным регистром 23, выходные цепи первого, второго и третьего триггеров регистра управления приемом параллельного кода 24, 25, 26, соответственно, цепь единичного выхода триггера фиксации приема последнего разряда входного кода последовательным информационным регистром 27. В устройстве использованы потенциальные элементы положительной логики (считаем, что триггер 5 находится в состоянии 1, когда на его выходе Q высокий потенциал).

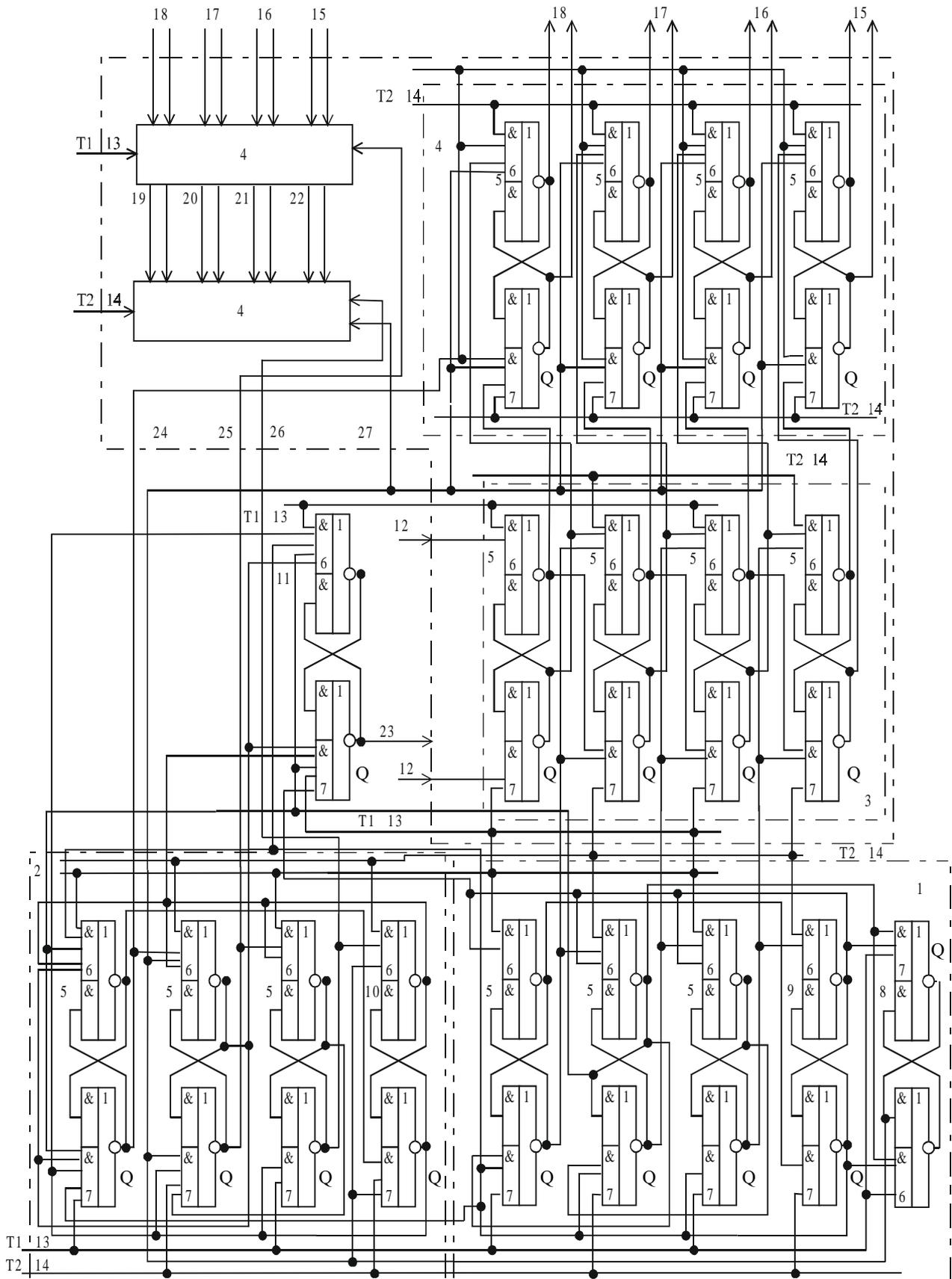


Рис. 1. Матричный регистр

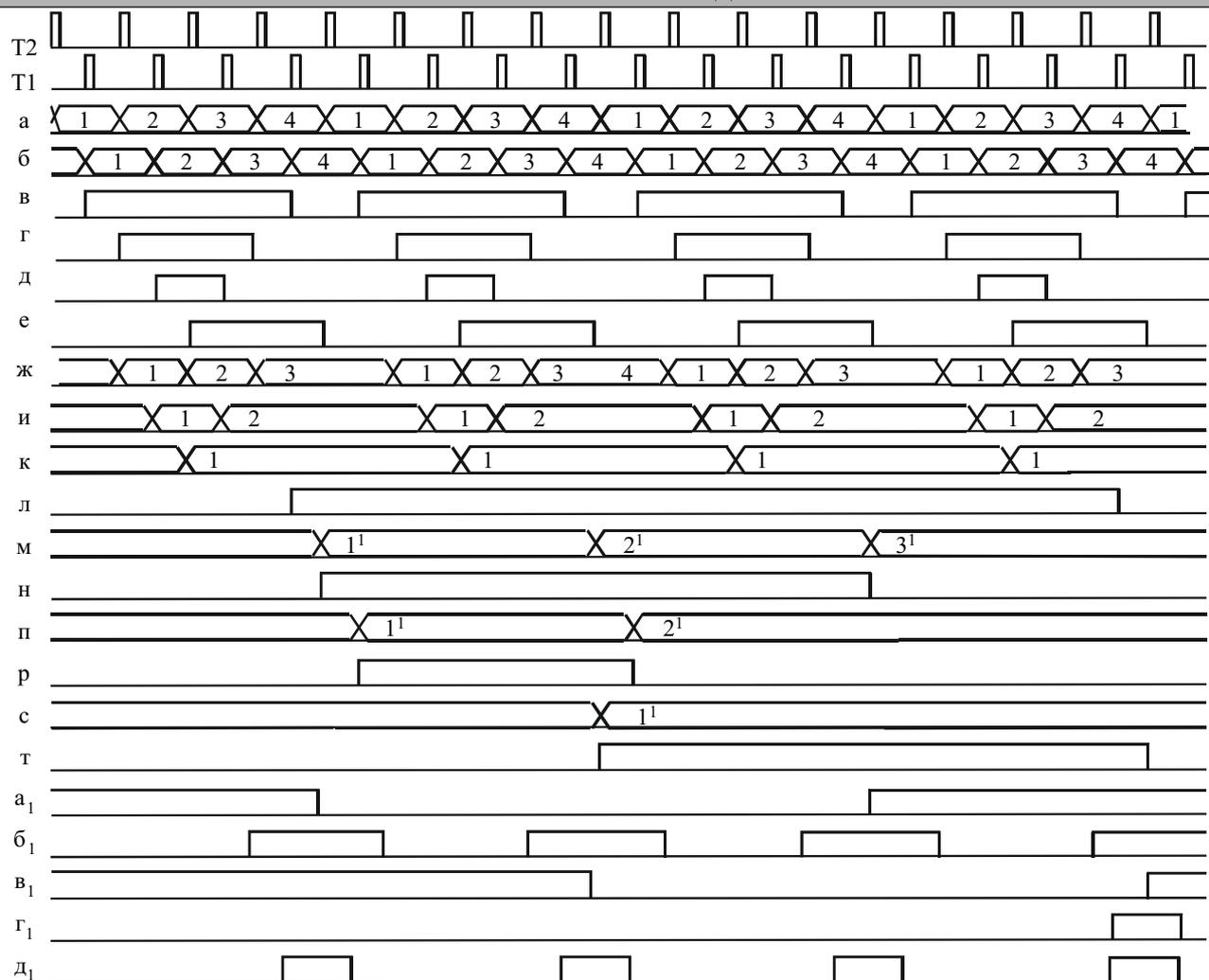


Рис. 2. Временные диаграммы работы матричного регистра

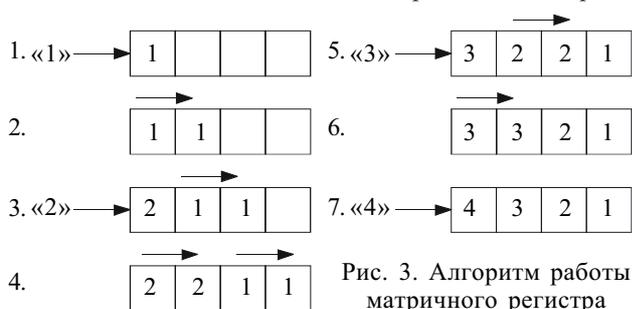


Рис. 3. Алгоритм работы матричного регистра

На рис. 2 приведены временные диаграммы работы матричного регистра; все сигналы привязаны к Q-выходу:

- а — входной последовательный код;
- б — код, принятый первым триггером последовательного информационного регистра;
- в, г, д — выходные сигналы соответственно первого, второго и третьего триггеров регистра управления приемом последовательного кода;
- е — выходной сигнал триггера управления регистром управления приемом последовательного кода;
- ж, и, к — выходные сигналы триггеров соответственно второго, третьего, четвертого разрядов последовательного информационного регистра приема входного кода;

л, н, р — выходные сигналы соответственно первого, второго и третьего триггеров регистра управления приемом параллельного кода;

м, п, с — условно показаны моменты приема параллельных чисел $1^1, 2^1, 3^1$ первым, вторым, третьим информационными регистрами приема параллельного кода, соответственно;

т, в₁ — выходные сигналы, соответственно прямой и инверсный, триггера управления регистром управления приемом параллельного кода;

а₁, б₁ — выходные инверсные сигналы триггеров вторых разрядов регистров управления приемом параллельного кода и последовательного, соответственно;

г₁ — выходной сигнал триггера фиксации приема последнего разряда последовательного кода матричным регистром;

д₁ — выходной сигнал триггера фиксации приема последнего разряда входного кода последовательным информационным регистром.

Информационный n -разрядный регистр представлен в виде матрицы $m \times k$, где m — число строк, а k — число разрядов в строке. Числа m и k связаны отношением $n = m \times k$.

Регистр управления разрядностью n также разбит на два регистра разрядностью m и k . Один регистр

управляет поразрядным приемом входного последовательного кода, а другой — параллельным приемом. При такой организации устройства экономятся триггеры регистра управления. Так, для случая построения 32-разрядного регистра экономия в регистре управления составит 20 триггеров.

Устройство работает следующим образом.

Входные сигналы парафазного кода по шине 12 (рис. 1), диаграмма а (рис. 2), принимаются первым триггером 5 последовательного информационного регистра приема входного кода 3 с помощью вентилях б и 7 в такты Т1, диаграмма б (рис. 2). Каждый входной разряд всегда сопровождается тактом Т1 внешнего устройства. В такт Т2 информация из первого триггера переписывается во второй триггер, в следующий такт Т1 информация вновь принимается первым триггером, а из второго триггера переписывается в третий. Следующим тактом Т2 информация из первого триггера переписывается во второй, а из третьего — в четвертый триггер; далее первый триггер принимает вновь поступившую информацию, информация из второго триггера переписывается в третий, принятая информация четвертым триггером не изменяется. В последний момент (такт Т1) входная информация принимается только первым триггером, принятая информация вторым, третьим и четвертым триггерами не изменяется.

Разрешение и запрет на подачу таких управляющих сигналов осуществляется единичными Q-выходами триггеров 5 регистра управления приемом последовательного кода 1, как показано на рис. 2, диаграммы в, г, д. Режим работы этих триггеров определяется триггером управления регистра приемом последовательного кода 9 (рис. 2, диаграмма е), а его циклический режим определен введением связи из нулевого выхода первого триггера регистра 1 на вход вентиля записи нуля в триггер 9. Таким образом реализован прием последовательного кода в соответствии с алгоритмом, приведенным на рис. 3.

К моменту приема первого четырехразрядного числа 1¹ (разряды 1, 2, 3, 4, рис. 2) подготавливается цепь его приема единичным выходом первого триггера регистра управления приемом параллельного кода 2, диаграмма л. В такт Т2 происходит параллельный прием принятого последовательного числа 1¹. Дальнейший прием принятых чисел 2¹, 3¹ осуществляется по тому же алгоритму, как и в случае принятия числа поразрядно (рис. 2, диаграммы м, п, с), а разрешение и запрет на прием чисел осуществляется единичными Q-выходами триггеров регистра управления приемом параллельного кода (диаграммы л, н, р, цепи 24, 25, 26).

Режим работы этих триггеров определен триггером управления регистром управления приемом параллельного кода 10, диаграмма т. В формировании сигналов переключения триггеров регистра управления 2, а также в формировании сигналов приема параллельного кода в регистрах 4, участвует выходной сигнал триггера фиксации приема последнего разряда входного кода последовательным информационным регистром 8 (диаграмма д₁); момент приема последнего разряда четвертого принятого числа фик-

сируется триггером 11, выходная цепь 23 которого является выходом устройства.

Этот сигнал определяет момент съема принятой информации, например, в контроллерах последовательного приема для записи ее в буферный регистр [2].

Рассмотрим более подробно условия параллельного и последовательного сдвига в матричном регистре и проведем качественную и количественную его оценку. При непрерывном сдвиге (условие работы регистра в контроллере) с использованием классического регистра с двухтактным управлением каждый разряд регистра, как основной, так и вспомогательный, за время прохождения одного последовательного *n*-разрядного числа переключается *n* раз. За это время общее число переключений в регистре составит $2n^2$. Считаем, что следует чередующаяся последовательность нулей и единиц, так называемая «шахматка». Построение регистра с применением приведенного на рис. 3 алгоритма позволяет уменьшить число переключений до $\frac{n+1}{2}n$, рассчитывается как сумма членов арифметической прогрессии.

На рис. 4 для наглядности и сравнения приведена совмещенная временная диаграмма переключений 16 разрядов регистра, работающего по алгоритму рис. 3 с наложенными импульсами сдвига матричного регистра («темные» импульсы). Разница импульсов от совмещения представлена «светлыми» импульсами. Импульсы сдвига для классического сдвига на рис. 4 не показаны (они заполнили бы все поле рисунка в пределах проведенных линий).

Подсчитаем количество импульсов переключения для матричного регистра. Число регистров, принимающих параллельный код, равно $m-1$, т. к. первый регистр принимает код последовательно; число переключений при этом составит

$$N_1 = \frac{(m-1)(m-1+1)}{2}k = \frac{n(m-1)}{2}, \quad (1)$$

где $n=m \times k$.

Число переключений при последовательном сдвиге

$$N_2 = \frac{mk(k+1)}{2} = \frac{n(k+1)}{2}. \quad (2)$$

Суммарное количество импульсов переключения для матричного регистра

$$N_3 = \frac{n(m-1)}{2} + \frac{n(k+1)}{2} = \frac{n(m+k)}{2}. \quad (3)$$

Динамическая мощность *n*-разрядного матричного регистра [3]

$$P_m \cong k_o \frac{n(m+k)}{2} f_m, \quad (4)$$

где k_o — обобщенный коэффициент;

f_m — частота работы матричного регистра.

Динамическая мощность классического регистра

$$P_k \cong k_o 2n^2 f_k, \quad (5)$$

где f_k — частота работы классического регистра.

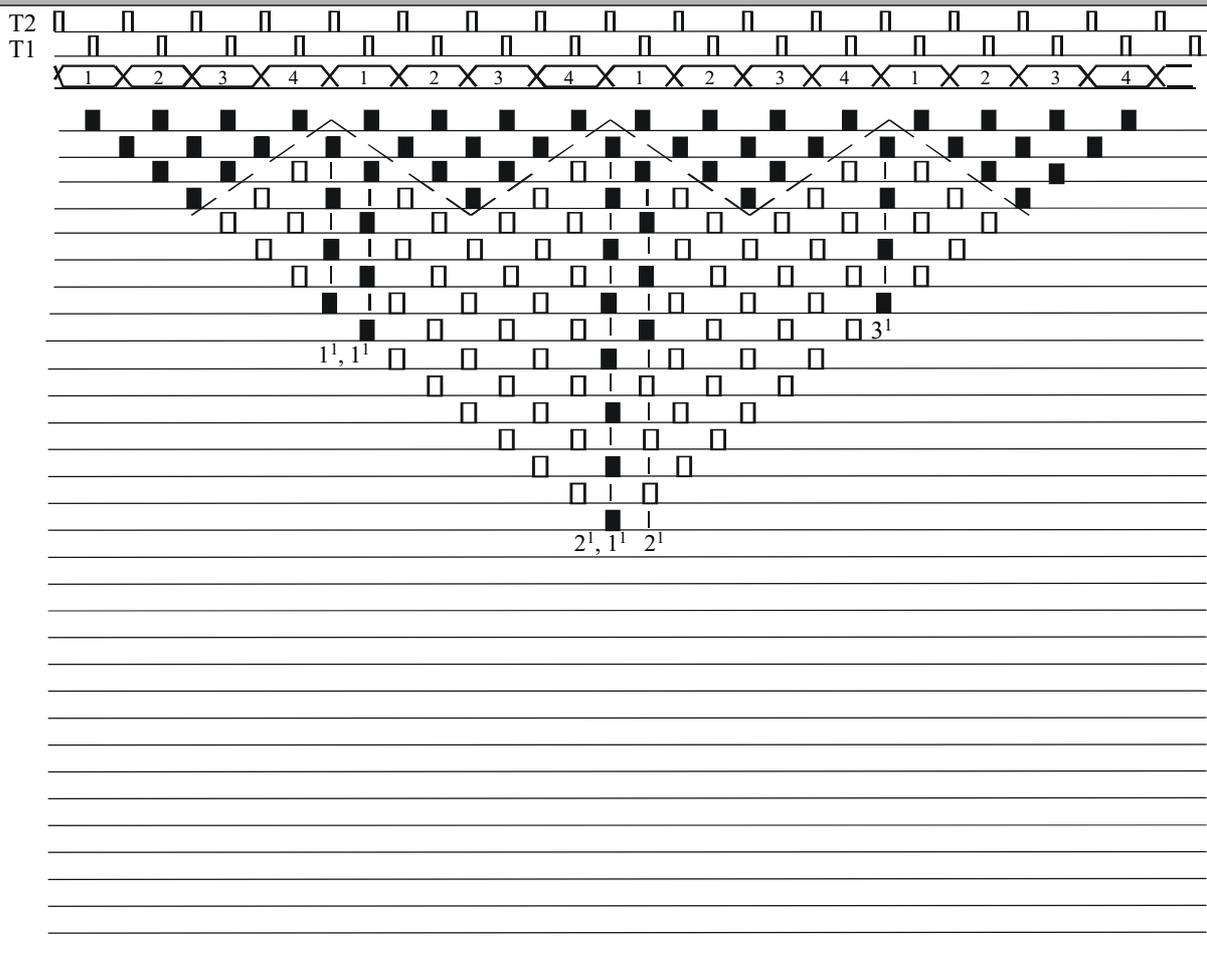


Рис. 4. Совмещенная временная диаграмма

Определим зависимость между частотами f_M и f_K при условии выделения одинаковой мощности:

$$k_0 2n^2 f_K = k_0 \frac{n(m+k)}{2} f_M; f_M = f_K \frac{4n}{m+k}. \quad (6)$$

Для 16-разрядного регистра

$$f_M = f_K \frac{4 \cdot 16}{4+4} = 8f_K. \quad (7)$$

Таким образом, для матричного 16-разрядного регистра предельную рабочую частоту можно увеличить в 8 раз.

Динамическая мощность для регистра, работающего по алгоритму рис. 3,

$$P_A \cong \frac{k_0 n(n+1)}{2} f_A, \quad (8)$$

где f_A — частота работы регистра, работающего по алгоритму рис. 3.

При условии $P_A = P_M$

$$\frac{k_0 n(m+k)}{2} f_M = \frac{k_0 n(n+1)}{2} f_A;$$

$$f_M = f_A \frac{n+1}{m+k}. \quad (9)$$

Для 16-разрядного матричного регистра

$$f_M = f_A \frac{16+1}{8} \cong 2f_A. \quad (10)$$

Таким образом, для матричного 16-разрядного регистра, кроме экономии 8 триггеров, увеличивается предельная рабочая частота в 2 раза. Из рис. 4 видно, что число переключений триггеров в каждый момент времени меньше, чем в регистре с классическим сдвигом, что повышает помехоустойчивость матричного регистра [5, с. 268].

Выводы

Приведенная схема матричного регистра обладает, в сравнении с классическим регистром, следующими преимуществами:

- экономится оборудование;
- повышается предельная частота работы;
- уменьшается статическая мощность;
- уменьшается динамическая мощность;
- повышается помехоустойчивость.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. А. с. 337825 СССР. Параллельно-последовательный сдвигающий регистр / В. П. Тесленко-Пonomаренко. — 1972. — Бюл. № 15.
2. Майоров С. А., Кириллов В. В., Приблуда А. А. Введение в микроЭВМ. — Л.: Машиностроение, 1988.
3. Куценко Г. В. Схемное решение построения каскадного регистра сдвига // Технология и конструирование в электронной аппаратуре. — 2004. — № 6. — С. 52—55.
4. Малахов В. П., Ситников В. С., Ядвичук П. В. Реализация элементов быстродействующего цифрового фильтра на ПЛИС // Технология и конструирование в электронной аппаратуре. — 2004. — № 4. — С. 3—8.
5. Наумов Ю. Е. Интегральные логические схемы. — М.: Сов. радио, 1970.