

Д. В. БАДАШИН, к. т. н. А. В. САВЧУК

Украина, г. Киев, Украинский НИИ связи

Дата поступления в редакцию  
12.02 1999 г.

Оппонент А. С. ПРОДАН

## СВЕРХБОЛЬШИЕ СПЕЦИАЛИЗИРОВАННЫЕ ИС В ОБОРУДОВАНИИ ЦИФРОВЫХ СИСТЕМ ПЕРЕДАЧИ

*Систематизирована и обобщена информация о методах и особенностях разработки и проектирования электронной аппаратуры.*

*The information about methods and peculiarities of developments and designing of electronical equipment has been systematized and summarized.*

В практике модернизации и создания новых поколений оборудования связи его важнейшие характеристики полностью определяют специализированные сверхбольшие интегральные схемы (ССБИС) [1–3]. В этих условиях разработчику-схемотехнику неизбежно приходится принимать решения относительно технологического обеспечения проекта на самых первых этапах разработки — это означает, что *технология в значительной степени будет определять схемотехнику*. Опыт разработки аппаратуры связи последних лет приводит к выводу о том, что проект, ориентированный на конечный результат (в виде конкурентоспособного оборудования), требует изменения ролей технологов и схемотехников — первичным оказывается не исходная НИР, не замысел, а ограничения и возможности доступной технологии. Нет смысла предлагать технические решения, которые невозможно реализовать на доступной технологии.

### ОБЗОР ДОСТУПНЫХ ТЕХНОЛОГИЙ СПЕЦИАЛИЗИРОВАННЫХ СБИС

• **Заказные (сверх)большие интегральные схемы (С)БИС (Custom Very Large Integrated Circuits (VLSI)).** Заказной СБИС называют однокристалльное устройство, которое конструируют полностью “с пустого места” — без предварительной подготовки базовых технологических слоев, специально сконструированных элементов и функциональных макроблоков. Основное отличие от других технологий проектирования: необходимо проектировать единые маски для всех технологических слоев.

Затраты на разработку и изготовление оправданы только при относительно больших объемах производства — не менее 150–750 тыс. шт. в год. Стоимость разработки — до \$100000 в течение 8–10 месяцев. (Следует отличать заказные СБИС от стандартных СБИС (например, ОЗУ и мощные

цифровые процессоры), рынок которых практически неограничен (более 5 млн. шт. в год) и стоимость разработки всегда окупается.)

• **Специализированные интегральные схемы конкретного применения (Application Specific Integrated Circuits (ASIC\*)).** Этот термин охватывает, по меньшей мере, две приведенные ниже технологии проектирования.

*Полузаказные матричные большие интегральные схемы (МБИС)* на основе БМК — базовых матричных кристаллов (Standart Cells and Gate Arrays). Логика развития технологии МБИС делает их экономически оправданными только в сочетании с системами автоматизированного проектирования (САПР) и при условии, что полный цикл проектирования можно провести на столе разработчика без итераций физического моделирования. Для этого САПР должна содержать систему моделирования высокой адекватности, с помощью которой можно было бы решить все проблемы работоспособности готового изделия до того, как результат проектирования будет передан на технологическую линию. Амортизация фиксированных затрат на проектирование обеспечена при объеме производства от 1000 до 30000 корпусов в год (для заказных необходим объем от 150000 до 750000 корпусов).

*Программируемые ССБИС* отличаются от МБИС тем, что конечный результат достигается с помощью программатора на столе разработчика: технологическая линия из цикла проектирования исключена. Предприятия электронной промышленности поставляют “заготовки” (или “полуфабрикаты”) ССБИС с мощными САПР высокой адекватности и средствами электрического или логического программирования (и, возможно, перепрограммирования). Роль технологий проектирования “на столе разработчика” резко увеличивается, если поставщик предоставляет возможность прямой трансляции проекта на БМК, чтобы изготовить МБИС без дополнительных усилий разработчиков. Смысл такой услуги в том, что решение о затратах на проектирование программируемой ССБИС и о целесообразности самого проекта принимает заинтересованная сторона. В этих условиях проблемы экономической эффективности проекта решают наиболее компетентные лица. Стоимость же изготовления

\*См. примечания к статье.

**ПРОЕКТИРОВАНИЕ. КОНСТРУИРОВАНИЕ**

Тип FPGA	Размерность кристалла	Время загрузки конфигурирующей программы, мкс/столбец CLB	Вид памяти
XILINX, сер. XC3000	3000 условных вентилях в матрице от (10×10) CLB	30—200	CMOS (ROM, EPROM, EEPROM)
XILINX, сер. XC4000	3000—62000 усл. вент. в матрице от (10×10) до (48×48)CLB	"	CMOS SRAM
XILINX, сер. XC5XXX	2000—23000 усл. вент. в матрице от (8×8) до (22×22)CLB	6—70	CMOS SRAM
XILINX, сер. XC6XXX	9000—100000 усл. вент. в матрице от (8×8) до (22×22)CLB	...	SRAM
XILINX, сер. XC9XXX	2500—16000 усл. вент. в матрице от (8×8) до (22×22)CLB	...	CMOS Fast FLASH
ALTERA, сер. FLEX8000	2500—16000 усл. вент.	...	...
ALTERA, сер. FLESH Logic	40—160 макроячеек	...	...
INTEL, сер. FLEX Logic FX780	80 макроячеек, организованных в 8 CLB	...	...

одного корпуса МБИС в серийном производстве значительно меньше, чем стоимость одного корпуса “заготовки”, причем производственные затраты на проектирование исключены.

Можно говорить о трех доступных на отечественном рынке технологиях программируемых ССБИС:

- FPGA компании АСТЕЛ [4, 5];
- FPGA и сложные ПЛИС компании XILINX;
- FPGA и сложные ПЛИС компании ALTERA.

Динамику развития технологии АСТЕЛ можно проследить, рассмотрев три поколения FPGA:

1) АСТ<sup>TM1</sup> — КМОП-кристаллы с двумя слоями металлизированных 1-микронных трасс, которыми можно соединять между собой различные типы логических модулей с помощью плавких перемычек PLICE.

2) АСТ<sup>TM2</sup> — усовершенствованные кристаллы с двумя классами логических модулей:

- С-модули, которые оптимизированы для комбинационных функций;
- S-модули, оптимизированные для создания на их основе последовательных схем: они содержат триггер с развитой входной логикой.

3) АСТ<sup>TM3</sup> — кристаллы с двумя слоями поликремния и двумя слоями металлизированных 0,8-микронных трасс.

Все три семейства АСТЕЛ совместимы как по параметрам готовых изделий, так и по условиям проектирования. В частности, архитектура АСТ2 и АСТ3 основана на С-модулях (которые аналогичны модулям АСТ1) и S-модулям, которые допускают возможность разработки широкого класса тактируемых триггерных схем.

От технологии АСТЕЛ резко отличаются сложные ПЛИС компаний XILINX и ALTERA и более совершенные программируемые вентиляльные матри-

цы XILINX, ALTERA, а также FPGA компании INTEL, которые выполнены на основе SRAM [6, 7].

В программируемых пользователем вентиляльных матрицах FPGA XILINX внешние контакты, доступные пользователю, могут быть подключены к быстродействующей универсальной матрице межсоединений через блоки ввода/вывода, которые, как правило, содержат логику и элементы памяти. Матрица представляет собой полноступенчатый коммутатор и обеспечивает прохождение сигналов между любыми функциональными блоками или блоками ввода/вывода. Функциональные блоки содержат перестраиваемые макроячейки библиотечных элементов и, по существу, представляют собой отдельные ПЛИС. Их размещают равномерно по поверхности кристалла между трассами матрицы межсоединений, а блоки ввода/вывода — по периферии кристалла. Кроме внешних контактов, доступных пользователю, имеются “служебные” контакты. Пользователю доступны матрицы конфигурируемых логических блоков (CLB). Вместе с ресурсами трассировки они представляют собой гибкую программируемую архитектуру, которую конфигурируют данными, загружаемыми во внутреннюю память. Таким образом, FPGA можно активизировать данными от внешних последовательных или байт-параллельных ППЗУ (ведущий режим) или от внешних устройств (ведомый режим).

FPGA на основе SRAM можно реконфигурировать непосредственно в составе оборудования (другими технологиями предоставить проектировщику такую степень свободы невозможно).

Отдельная область применения ПЛИС — проектирование на их основе устройств для защиты программного обеспечения и аппаратуры от несанкционированного доступа и копирования. ПЛИС обладают такой тех-

нологической особенностью, как “бит секретности”, после программирования которого схема становится недоступной для чтения (хотя свои функции ПЛИС, естественно, продолжает выполнять). Обычно применение одной-двух ПЛИС средней степени интеграции оказывается вполне достаточным для надежной защиты информации.

Основой технологии проектирования FPGA является сверхнадежная плавкая перемычка ПЛИС, которая обеспечивает характерные особенности технологии:

- гибкость проектирования, которую можно достичь лишь в заказных ССБИС;
- надежность готового изделия, сравнимую с надежностью МБИС.

Самое общее представление о рассматриваемых технологиях можно получить из **таблицы**.

### ПРИНЦИП ПРЕДВАРИТЕЛЬНОГО СРАВНЕНИЯ ХАРАКТЕРИСТИК ТЕХНОЛОГИЙ ПРОЕКТИРОВАНИЯ

На начальном этапе проектирования разработчик нуждается в объективной сравнительной оценке программируемых ССБИС, которая сама по себе представляет отдельную нетривиальную задачу. Для того чтобы дать классификацию широкого класса технологий и представить критерии такой оценки, корпорация PREP (Programmable Electronic Performance Corporation) разработала специальные методики. Предложенные критерии призваны дать обобщенные характеристики, усредненные по типовым схемотехническим решениям, которые позволяют исключить человеческий (творческий) фактор. Это необходимо для того, чтобы обеспечить как можно большую объективность. По существу, проектирование — это поиск компромиссов между разнонаправленными требованиями, поэтому критерии PREP — это, в основном, двухмерные параметры, характеризующие обменные соотношения:

- обобщенное быстродействие как функция обобщенной стоимости;
- обобщенное быстродействие как функция размерности;
- предсказуемость характеристик.

(Желание получить максимально объективные критерии привело к тому, что в перечисленные параметры пришлось вложить сложные понятия. Рассмотреть их здесь подробно не представляется возможным.)

Последний из перечисленных параметров — *предсказуемость характеристик* — имеет значение в условиях критически сжатых сроков проектирования, когда необходимо быстро выйти на рынок с окончательно отработанными техническими решениями. Этот параметр определяют как разброс характеристик готового изделия после автоматической трассировки.

Предполагается, что строительные блоки выполняются по каждой из технологий при 100%-ной автоматической трассировке. С учетом этого оценивают работоспособность каждого блока и соответствие его характеристик во всех режимах при гарантированном быстродействии. Разброс полученных характеристик между самыми благоприятными и самыми неблагоприятными усредняют

по всем строительным блокам и это усредненное значение принимают в качестве меры предсказуемости характеристик. (Под разбросом понимают стандартное отклонение, усредненное по характеристикам всех блоков. Чем меньше разброс характеристик, тем больше вероятность получить готовое изделие без итераций, т. е. в кратчайшие сроки, с относительной независимостью от уровня подготовки разработчика.)

Результаты сравнения трех технологий по критерию предсказуемости характеристик (в %) выглядят следующим образом: АСТЕЛ — 8–12, ХИЛИНХ — 25–29, АЛТЕРА — 16.

Можно сделать следующие выводы.

1. Наибольшую гибкость проектирования при наибольшей предсказуемости характеристик обеспечивают FPGA АСТЕЛ.

2. Предсказуемость характеристик технологии АСТЕЛ в области умеренных требований в 3–4 раза лучше, чем у ХИЛИНХ, и в области высоких требований в два раза лучше, чем у других технологий.

Грубо говоря, число итераций при проектировании на АСТЕЛ в два раза меньше, чем при проектировании на АЛТЕРА или ХИЛИНХ. Это достоинство объясняется тем, что при большей зернистости структуры матрицы обеспечивается достаточно эффективная трассировка: можно быть уверенным в том, что даже при выборе в качестве строительного блока двухходового вентиля может быть гарантирована трассировка схемы при 95%-ном заполнении кристалла. Такой характеристикой не обладают другие разновидности FPGA.

В естественном состязании технологий проектирования АЛТЕРА, ХИЛИНХ, ИНТЕЛ и АСТЕЛ последняя удерживает лидирующие позиции по степени надежности и по удельной стоимости условного вентиля при эквивалентных характеристиках изделия (числе доступных эквивалентных вентилях, необходимости регулярного обновления конфигурирующих данных).

### ЗАДАЧИ ПРОЕКТИРОВАНИЯ С ИСПОЛЬЗОВАНИЕМ СОВРЕМЕННЫХ ТЕХНОЛОГИЙ

При разработке современной техники связи необходимо учитывать следующие факторы жизнеспособности как технических решений, так и самих изделий:

- функциональная и вычислительная сложность устройств и систем не может быть обеспечена, если реализовать устройства на интегральных микросхемах (ИМС) общего назначения, общецелевых микропроцессорах и даже на цифровых сигнальных процессорах (ЦСП);

- современная технология позволяет проектировать и изготавливать относительно небольшие экономически оправданные партии специализированных сверхбольших интегральных схем (СБИС), с помощью которых реализуются не только стандартные, но и специфические функции аппаратуры;

- нет смысла проектировать новые изделия без резкого сокращения сроков их освоения в произ-

водстве при сохранении всех преимуществ интегрального исполнения.

В этих условиях разработчику-схемотехнику неизбежно придется принимать не свойственные ему решения относительно технологического обеспечения проекта на самых первых этапах разработки и — более того — технология в значительной степени будет определять схемотехнику. Указанные факторы приводят к следующему выводу: проект, ориентированный на конечный результат (в виде конкурентоспособного оборудования) требует изменения ролей технологов и схемотехников — первичным оказывается не исходная НИР, не замысел, а ограничения и возможности доступной технологии.

Такое перераспределение ролей оказалось возможным благодаря тому, что ASIC нельзя разрабатывать без средств автоматизированного проектирования (САПР) СБИС. Следовательно, руководитель проекта должен отдавать себе отчет в том, что для достижения конечного результата в его распоряжении должна быть (возможно, элитная) группа специалистов, которая способна увязать схемотехнические задачи (цели разработки) с доступной технологией (средствами достижения целей) и, естественно, владеет средствами САПР. Другими словами, специалист этой группы должен иметь подготовку высокого уровня в трех областях:

- прикладной (современная техника систем передачи, управление сетью связи);
- схемотехнической (современная электроника, технология ССБИС и схемотехника);
- инструментальной (современная вычислительная техника, навыки работы на средствах САПР).

В конце 1980-х и в 1990-х годах специалистами УНИИС и при их непосредственном участии на всех этапах проектирования и изготовления были разработаны ССБИС для техники связи. Ниже приведены результаты тех проектов, которые были реализованы в действующей аппаратуре или испытаны и использованы в опытных образцах. Эти проекты были выполнены как на отечественной технологии — на БМК 1545ХМ1 и 1515ХМ1 (изготовители — НПО «Микропроцессор» в Киеве и НПО «Ангстрем» в Зеленограде), так и на технологии программируемых ССБИС АСТЕЛ.

#### *ССБИС для передачи данных.*

В 1991—1992 гг. спроектированы, изготовлены и испытаны в аппаратуре передачи данных:

КР1545ХМ1-046 — цифровая часть модема V.21/V.23;

КР1545ХМ1-054 — цифровая часть синхронного модема ЧМ для канала ТЧ.

Потребности заводов, выпускающих эту аппаратуру, были удовлетворены поставками объединения «Микропроцессор».

#### *ССБИС для декодирования сверточных кодов [8—11].*

В 1992 г. по заказу МО СССР разработан 1515ХМ1-VA4 — однокристалльный самосинхронизирующийся кодек Витерби для кода [1111, 1101]. Опытная партия этих ССБИС была изготовлена в НПО «Ангстрем» и испытана в Киеве.

В 1996 г. завершен проект 4-кристалльного кодека Витерби для VSAT с параметрами, которые удовлетворяют международным стандартам для спутниковых каналов связи. Структурная схема кодека содержит 3 ССБИС, выполненных на FPGA A1240 и A1280 и внешнем стандартном ОЗУ. Готовится однокристалльная версия этого проекта на усовершенствованной технологии A42MX.

#### *ССБИС для цифровых систем передачи плезихронной цифровой иерархии.*

В 1994 г. спроектирована ССБИС КР1515ХМ1-028 — мультимедиа вторичного группобразования ИКМ по рекомендации G.742 для аппаратуры сельской связи, которая до настоящего времени эксплуатируется в Одесской области. Технические решения, заложенные в КР1515ХМ1-028, были воплощены в FPGA АСТЕЛ A1240XL-M28 и использованы в первой отечественной 120-канальной аппаратуре ОВГ-21Е, которая удовлетворяет международным стандартам и ГСТУ 45.007-97 (успешно проведена опытная эксплуатация).

К концу 1997 г. разработан комплект ССБИС для оборудования ЦСП плезихронной цифровой иерархии:

- А1240XL-E1I — четырехканальный стык E1 в соответствии с рекомендациями G.703, G.704, G.775;
- А1010А-E2I — стык E2 в соответствии с рекомендациями G.703, G.775;
- А1010А-E3O — стык E3 для волоконно-оптической системы передачи в соответствии с рекомендациями G.703, G.775;
- ХС3142-РС84-E3O — то же на FPGA XILINX серии 3100;
- ХС 3142-РС84-ТК — транскодек СМ1-НДВ3 для сопряжения оптического стыка с электрическим стыком E3.

### МИФЫ СОВРЕМЕННОЙ ТЕХНОЛОГИИ ПРОЕКТИРОВАНИЯ ASIC

**Миф первый:** САПР позволяют исключить человеческий фактор из научно-исследовательской разработки на этапе «идея — реализация».

Здесь имеет место путаница в терминологии: САПР — это система автоматизированного проектирования, но отнюдь не система автоматического проектирования; речь идет не о синтезе системы по заданным исходным данным, а об анализе ошибок разработчика в процессе решения поставленной задачи, когда разработчик «синтезирует» систему по пути, который он сам не в состоянии объяснить. САПР — лишь средство, которое в состоянии минимизировать время разработки по единственному из возможных методов НИР — методу проб и ошибок.

Поэтому приобретение САПР следует рассматривать как расширение возможностей имеющихся в вашем распоряжении разработчиков, но ни в коем случае не исключение элемента творчества и замену его на некую «методологию проектирования»: «Методология — последнее прибежище непродуктивного ума».

**Миф второй:** САПР в сочетании с современной технологией позволяют решить проблему сложности.



На самом деле проблема сложности реализации лишь переносится на более высокий уровень. При традиционных методах проектирования и реализации системы разработчику приходится обрабатывать определенное количество информации в течение нескольких месяцев; если же в его распоряжении имеется САПР, то то же самое количество информации он перерабатывает в течение нескольких дней. Так как человеческий мозг способен переработать лишь ограниченное количество информации в единицу времени, то приобретение САПР означает лишь то, что вы экономите время за счет повышения эффективности использования интеллекта имеющихся в вашем распоряжении разработчиков.

**Миф третий:** Средства на приобретение САПР вкладываются однажды, а эффект от ее использования повторяется бесконечно без дополнительных затрат.

На самом деле САПР — это живой механизм, который требует обслуживания, обновления и регулировки. Можно указать основные причины непрерывного совершенствования пакета:

- доработки по требованию пользователей, которые сталкиваются с разнообразными ситуациями, когда программа работает плохо или не работает вовсе;

- доработки, которые создатели пакета вносят по собственной инициативе для повышения эффективности использования памяти или быстродействия счета, а также для того, чтобы повысить потребительскую стоимость САПР путем создания процедур, обеспечивающих интерфейс с другими перспективными средствами проектирования;

- доработки, связанные с изменениями в технологии БМК, на которые настроен пакет.

В так называемых “открытых” САПР эти изменения может вносить и пользователь. Современные и перспективные профессиональные пакеты прикладных программ, как правило, “закрыты”, поскольку ответственность за их адекватность в меняющихся условиях лежит на их создателях; важную роль играет и право на интеллектуальную собственность. Поэтому договора на поставку САПР содержат условия по его сопровождению в процессе эксплуатации: взаимодействие пользователя и поставщика представляется естественным.

**Миф четвертый:** Труд разработчика МБИС полностью автоматизирован и сводится к управлению соответствующими программами. Следовательно, чем более дорогая и совершенная САПР, тем эффективнее используется его интеллект.

Исследования показывают, что в действительности значительную часть рабочего времени проектировщик занимается администрированием, обсуждением технических вопросов и оформлением документации. Что же касается его взаимодействия с САПР, то соответствующие операции можно разделить на три класса:

- автоматические (решение хорошо формализованных задач без участия человека);

- интерактивные (взаимодействие с экраном и ввод исходных данных);

- ручные (которые выполняются без САПР — решение плохо формализуемых задач и задач творческого характера, а также анализ распечаток и т. п.).

Доля ручных и интерактивных операций составляет 20...25% рабочего времени, а это означает, что повышение производительности традиционных САПР выше некоторого предела дает относительно небольшую экономию инженерного труда. Поэтому возможности САПР, затраты на их приобретение и характер решаемых задач должны быть хорошо сбалансированы.

**Миф пятый:** Наиболее эффективной из рассмотренных технологий проектирования специализированных СБИС в обозримом будущем являются ПВМ (см. предыдущие разделы).

На самом деле достоинства XILINX и АСТЕЛ теряют свою привлекательность, если конечный результат должен появиться в серийном производстве. Даже после испытания СБИС на ПВМ в реальной аппаратуре обычно ее необходимо заменять на функционально эквивалентную МБИС для серийного оборудования. Разработчика, который отказывается от известной, но более трудоемкой технологии, подстерегает типичная ловушка: если нет компилятора «ПВМ/БМК», который позволит автоматически перенести результаты его труда на более приемлемую технологию, то его работа смысла не имеет — ее придется повторить практически в том же объеме.

#### Примечания

ASIC (Application Specific Integrated Circuits) — специализированные (сверхбольшие) интегральные схемы конкретного применения (ССБИС).

SRAM (Select RAM) — сверхоперативное запоминающее устройство для хранения конфигурирующих данных в репрограммируемых ССБИС — специализированное быстродействующее ОЗУ для хранения данных, которые однозначно определяют функциональное назначение ASIC — “выбирают” данный конкретный проект из множества возможных. В общем случае конфигурирующие данные необходимо загружать вновь после каждого подключения питания к корпусу ASIC. Число реконфигураций не ограничено. Готовность к работе ASIC на основе FPGA и SRAM — от 20 до 200 мс после включения питания при частоте переключения регистров-защелок SRAM не менее 110 МГц.

PLICE (Programmable Low Impedance Circuit Element) — программируемый схемотехнический элемент с низким импедансом — технологическое “know how”, которое является основой технологии проектирования FPGA АСТЕЛ. В отличие от обычных плавких перемычек (fusible links) PLICE (который называют antifuse element) не требует значительной площади кристалла, больших токов программирования. Он занимает площадь не более 1,5 мкм<sup>2</sup> при использовании 1,2-микронной технологии, время программирования не превышает 300 мкс, ток прожигания — около 5 мА при напряжении 18 В. Сопротивление контакта в месте прожига не превышает 500 Ом с техническим допуском в пределах ±100 Ом, а сопротивление нерасплавленной перемычки — более 100 МОм. Параметры PLICE позволяют повысить надежность программирования электрическими сигналами до расчетных значений жизненного времени:

- 40 лет для расплавленной перемычки при условии, что через нее непрерывно протекает ток 5 мА;

— более 100 лет для нерасплавленной перемычки при условии, что к ней непрерывно приложено напряжение 5,5 В.

Столь высокая надежность PLICE позволяет использовать до 1000 потенциальных точек подключения на 1 вентиль в матрице для межсоединений. В результате зернистость структуры ASIC можно уменьшить до одного вентиля, что позволяет обеспечить гибкость проектирования на уровне МБИС и даже заказной ССБИС при сравнимой надежности.

PLD≡PAL (Programmable Logic Device≡Programmable Array Logic) — программируемые логические интегральные схемы (ПЛИС)≡программируемые логические матрицы (ПЛИМ) — один корпус ПЛИС покрывает функции 5–10 корпусов ИМС малой и средней степени интеграции. Наибольшая эффективность использования этой технологии достигается при разработке систем размерностью до нескольких тысяч условных вентилях. На кристалле ПЛИС размещены матрицы вентилях И–НЕ, входы и выходы которых коммутируют плавкими перемычками, благодаря чему можно реализовать любую комбинационную функцию или (за счет обратных связей) — элемент памяти. Основные ограничения ПЛИС — небольшой процент триггерных схем, относительно небольшое число внешних контактов ввода/вывода и негибкие возможности проектирования с помощью минтермов на основе булевых функций И–НЕ.

CPLD (Complex PLD) — сложные ПЛИС — современное название EPLD, которое отражает особенность репрограммируемых ПЛИС: кристалл КМОП представляет собой “комплекс”:

— матрицу одинаковых программируемых макроблоков, число которых может достигать нескольких сотен и которые можно сконфигурировать в конкретную ASIC с помощью управляемых коммутаторов;

— средства трассировки со встроенными коммутаторами, которые управляются конфигурирующими данными;

— память для хранения конфигурирующих данных (EPROM, FLASH EPROM или SRAM);

— периферийные макроэлемента.

FPGA (Field Programmable Gate Array) — программируемая вентиляльная матрица (ПВМ) — вентиляльная матрица, программируемая в “полевых” условиях, т. е. на столе разработчика, а не на заводской технологической линии. FPGA — это “заготовка” для ASIC, которая имеет две отличительные черты:

— их изготавливают по стандартной технологии КМОП, благодаря чему экономически оправдано массовое производство;

— сама по себе FPGA упаковывается в любой стандартный корпус, не решает прикладных задач, а является “полуфабрикатом”, из которого на столе разработчика ее программируют в ASIC.

Известны два класса FPGA, отличающиеся способом программирования:

— с помощью встроенных SPAM (число доступных разработчику условных вентилях — до 7200);

— с помощью плавких перемычек (число доступных разработчику условных вентилях — до 10000).

Иногда некоторые CPLD INTEL называют FPGA, но FPGA ACTEL никогда не относят к классу CPLD.

Структура FPGA по сравнению со структурой CPLD отличается большей “зернистостью”: матрица состоит не из “макрочаек”, а из блоков, в которых может быть реализована функция логической схемы, триггера, счетчика, или регистра. Это позволяет уменьшить избыточность заготовки (при одинаковой размерности кристаллов число фактически доступных разработчику условных вентилях в FPGA в 2 с лишним раза больше, чем в CPLD), сделать проектирование более гибким и повысить надежность конечного изделия.

Usable (Equivalent) Gate — используемый (условный эквивалентный) вентиль — единица “размерности” или емкости ССБИС. Один эквивалентный вентиль — логическая схема И–НЕ (ИЛИ–НЕ) сама по себе представляет функционально полную “систему” булевых функций, на которой можно реализовать алгоритм любой сложности, и поэтому как минимальный строительный блок любой цифровой схемы служит интуитивно понятной и универсальной схемотехнической и технологической мерой. Число эквивалентных вентилях является характеристикой сложности проекта, в которую не включают сложность аппаратных средств для хранения конфигурирующих данных.

#### ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Гайдаманчук В. А. Электронные компоненты на основе ASIC СБИС для современной техники связи (зарубежный опыт) // Computer World (Киев), № 24(47), 1995, с.14.

2. Немудров В. Г., Малышев И. В. Проблемы разработки специализированных СБИС для перспективной аппаратуры связи // Труды МАС (Москва), 1997, № 1, с. 14,15.

3. Коллегия Миноборонпрома: как завоевать российского потребителя // Информкурьерсвязь (Москва), 1997, №1, с. 68–71.

4. ACT<sup>TM</sup> Family FPGA Data Book / Actel Corporation. — Sunnyvale, California. — 1992.

5. FPGA Data Book and Design Guide / Ibid. — 1993.

6. XILIX.The Programmable Logic Data Book / San Jose, California. — 1996.

7. Component Selector Guide / Altera Corporation. — San Jose, California. — 1995.

8. Савчук А. В., Синичук И. И. Разработка кодеков Витерби на МБИС: два подхода // Тр. междунар. конф. «Спутниковые системы связи и вещания: перспективы развития на Украине. UkrSatCom-93». — Одесса. — 1993. — С. 5.8/1–5.8/3.

9. Савчук А. В., Синичук И. И., Брауде-Золотарев Ю. М., Каблучкова А.А. Устройство вычисления метрик путей декодера Витерби / Пат. 2022473 РФ. — Публ. в Б. И., 1994, № 20.

10. Гайдаманчук В. А., Савчук А. В., Щербатюк И. И. Комплект микросхем кодера Витерби для VSAT с ШПС // Тр. 3-й междунар. конф. «Спутниковые системы связи и вещания: УкрТелеСом-97». — Одесса. — 1997. — С. 419–422.

11. Гайдаманчук В. А., Савчук А. В., Брауде-Золотарев Ю. М., Каблучкова А. А. Особенности проектирования больших интегральных схем декодеров Витерби // Труды НИИ радио. — 1997. — С. 77–86.