



УДК 681.518.5:004.052.32

В.В. Сапожников, Вл.В. Сапожников, доктора техн. наук,
Д.В. Ефанов, канд. техн. наук, **В.В. Дмитриев**, **М.Р. Черепанова**
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования «Петербургский государственный
университет путей сообщения Императора Александра I»,
(Российская Федерация, 190031, Санкт-Петербург, Московский пр., 9,
тел. (+7) 9117092164, (+7) (812) 4578579, e-mail: TrES-4b@yandex.ru)

Организация систем функционального контроля комбинационных схем на основе модифицированного кода с суммированием взвешенных переходов

Предложен способ построения кода с суммированием, основанный на взвешивании переходов между разрядами, занимающими соседние позиции в информационном векторе, и последующих операциях с весовыми коэффициентами переходов. Установлена последовательность весовых коэффициентов и простые правила модификации кода с суммированием взвешенных переходов, позволяющие строить оптимальные коды по критерию минимума общего числа обнаруживаемых ошибок в информационных векторах. Показано, что новые коды на практике позволяют создавать системы функционального контроля с уменьшенной аппаратной избыточностью.

Запропоновано спосіб побудови коду з підсумовуванням, базований на зважуванні переходів між розрядами, які займають сусідні позиції в інформаційному векторі, та наступних операціях з ваговими коефіцієнтами переходів. Встановлено послідовність вагових коефіцієнтів та прості правила модифікації коду з підсумовуванням зважених переходів, які дозволяють будувати оптимальні коди по критерію мінімуму загальної кількості помибок, що не виявляються, в інформаційних векторах. Показано, що нові коди практично дозволяють створювати системи функціонального контролю із зменшеною апаратною надлишковістю.

К л ю ч е в ы е с л о в а: система функционального контроля, контролепригодная структура, система дублирования, система контроля по паритету, код с суммированием, код Бергера, модифицированный код с суммированием взвешенных переходов, контрольная комбинационная схема.

При построении надежных систем автоматики и вычислительной техники часто используют методы технической диагностики, в том числе функциональный контроль логических устройств [1—7]. В системе функциональ-

© В.В. Сапожников, Вл.В. Сапожников, Д.В. Ефанов, В.В. Дмитриев, М.Р. Черепанова, 2015

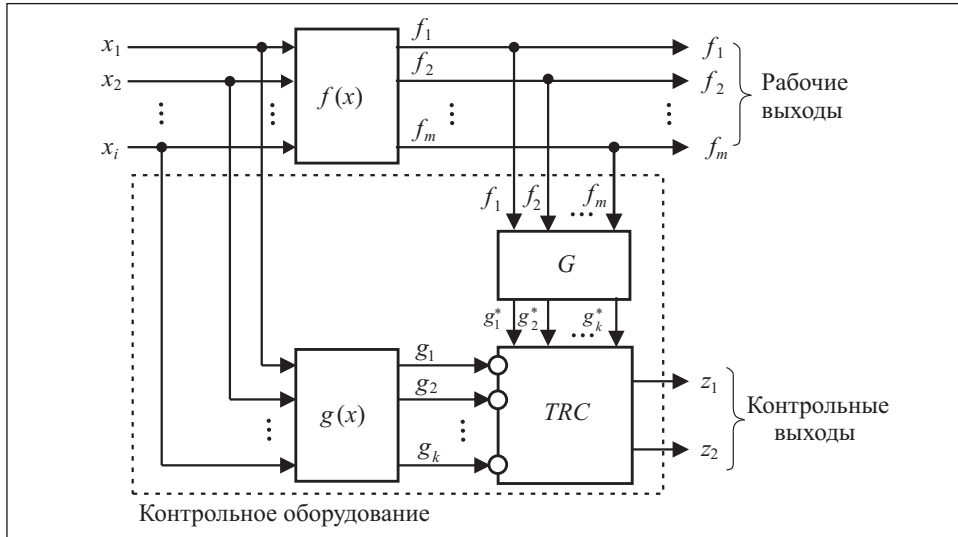


Рис. 1. Структурная схема СФК, организованная по методу вычисления контрольных разрядов

ного контроля (СФК) (рис. 1) контролируемое логическое устройство $f(x)$ по значениям входных векторов $\langle x_1 x_2 \dots x_i \rangle$ вычисляет систему булевых функций $f_1 f_2 \dots f_m$. Для организации контроля неисправностей, возникающих при работе устройства $f(x)$, исходное логическое устройство снабжается специальным контрольным оборудованием: блоком контрольной логики $g(x)$ и тестером, который представляет собой генератор контрольных функций G и блок компаратора TRC [8, 9].

По значениям входных векторов $\langle x_1 x_2 \dots x_i \rangle$ блок $g(x)$ вычисляет систему контрольных функций $g_1 g_2 \dots g_k$. Выходы блока $f(x)$ подключаются к входам блока G , который по значениям рабочих функций $f_1 f_2 \dots f_m$ вычисляет значения контрольных функций $g_1^* g_2^* \dots g_k^*$, аналогичных тем, значения которых формирует блок $g(x)$. Выходы блоков G и $g(x)$ подключают к входам компаратора TRC . При этом значения выходов блока $g(x)$ предварительно инвертируют, что необходимо для построения самопроверяемой структуры, в которой компаратор, являясь «последним сторожем», осуществляет контроль групп парафазных сигналов $g_l g_l^*$, где $l \in \{1, 2, \dots, k\}$ [10, 11].

Компаратор строится на основе каскадного соединения модулей сравнения парафазных сигналов (two-rail checker) и имеет два выхода, на которых формируется парафазный сигнал $z_1 z_2 = \langle 01 \rangle$ или $z_1 z_2 = \langle 10 \rangle$ в случае, если в СФК все элементы исправны. При наличии неисправностей в

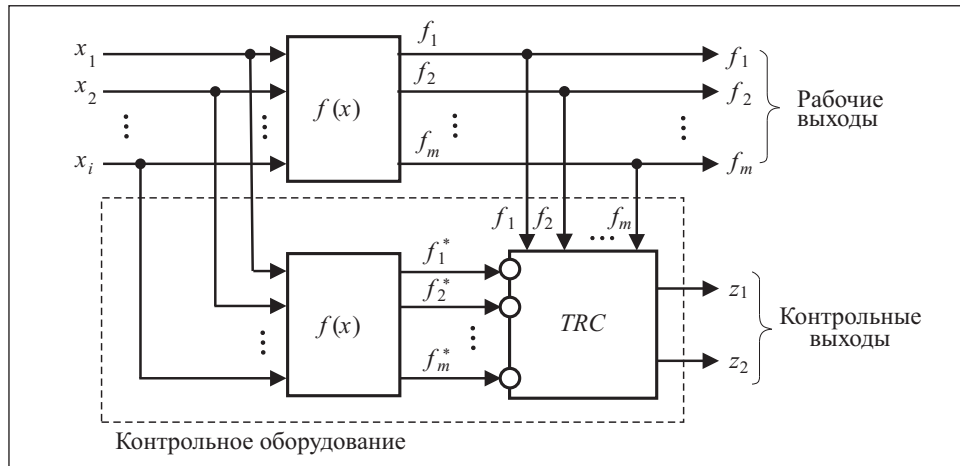


Рис. 2. Структурная схема системы дублирования

любом из элементов структуры, схема которой представлена на рис. 1, компаратор сформирует непарафазные сигналы, что является признаком наличия неисправности.

Система функционального контроля должна обеспечивать 100%-ное обнаружение одиночных неисправностей во внутренней структуре контролируемого устройства [12]. При ее построении используются правила формирования некоторого кода с обнаружением ошибок, например кода с суммированием [13—19]. Выходы контролируемого устройства отождествляют с информационным вектором такого кода $\langle f_1 f_2 \dots f_m \rangle$, а выходы блока контрольной логики — с контрольным вектором $\langle g_1 g_2 \dots g_k \rangle$. Соответствие между значениями разрядов информационного и контрольного векторов устанавливается на этапе проектирования СФК и проверяется в процессе ее эксплуатации схемой тестера.

От выбранного на этапе проектирования СФК помехоустойчивого кода зависят такие важные характеристики, как аппаратная избыточность СФК и показатели обнаружения ошибок в контролируемом устройстве. От свойств обнаружения кодом ошибок в информационных векторах зависят и свойства СФК [20—22].

В современных устройствах автоматики широко распространена система дублирования (рис. 2) [3, 8, 10], структура которой является стандартной, а в ее основе лежат правила построения кода с повторением. Блок контрольной логики является копией контролируемого устройства. Тестер кода с повторением представляет собой компаратор TRC, осуществляющий контроль групп парафазных сигналов. Система дублирования обеспе-

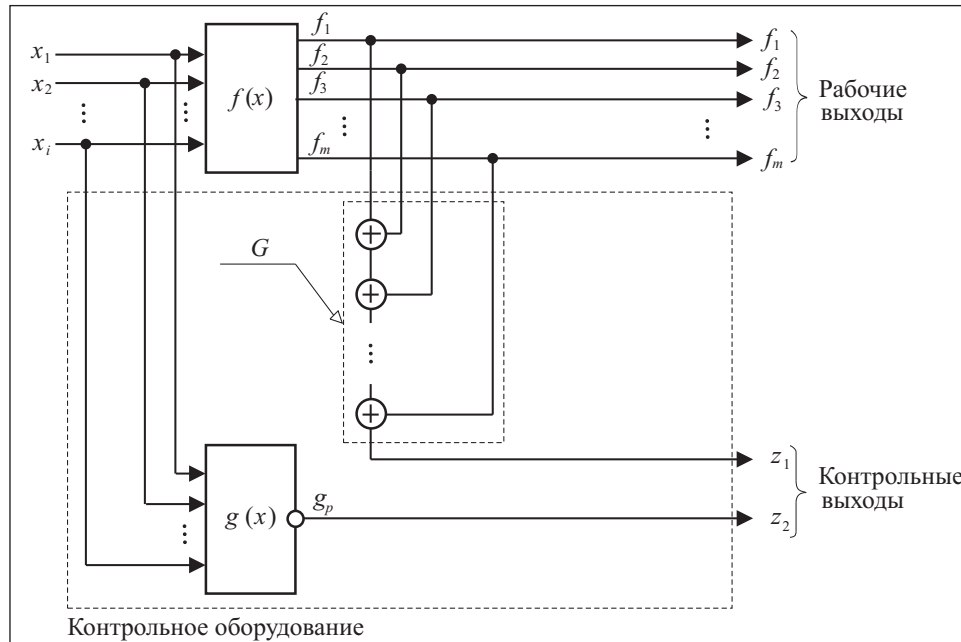


Рис. 3. Структурная схема СФК по паритету

чивает возможность 100%-го обнаружения ошибок в контролируемом устройстве, однако ее реализация связана с высокой аппаратной избыточностью.

Диаметрально противоположной системе дублирования является другая стандартная структура — система контроля по паритету (рис. 3) [23—26]. В ней блок контрольной логики $g(x)$ вычисляет значение единственной контрольной функции, являющейся функцией паритета: $g_p = f_m \oplus f_{m-1} \oplus \dots \oplus f_1$. В эту систему контроля не входит компаратор, так как парафазный сигнал контроля формируется на выходах генератора и блока контрольной логики. Система контроля по паритету — наиболее простая из известных, но в ней не обнаруживается высокий процент искажений значений выходов контролируемого устройства.

Структура реального устройства $f(x)$ может быть такой, что некоторые виды искажений на его выходах не возникают (например, если на выходах устройства образуются не все 2^m , а только часть выходных векторов). Тогда использование системы дублирования для контроля его технического состояния оказывается неоправданным по причине высокой аппаратной избыточности, что приводит к увеличению значений других характеристик СФК (быстродействия, тестопригодности, энергопотребления и др.).

Следовательно, необходимо построить СФК, которая при сниженной аппаратурной избыточности по сравнению с дублированием будет обеспечивать 100%-ное обнаружение одиночных неисправностей на выходах логических элементов внутренней структуры контролируемого устройства. Решение этой задачи возможно с помощью кодов с уменьшенным числом разрядов в контрольном векторе.

Оптимальный код с суммированием. При организации СФК комбинационных схем используют классические коды с суммированием [27] и их различные модификации [13, 14, 28, 29].

Классический код Бергера, или $S(m, k)$ -код (где m — число разрядов в информационном векторе, $k = \lceil \log_2(m+1) \rceil$ — число разрядов в контрольном векторе), в разрядах контрольных векторов содержит двоичное число, равное сумме единичных разрядов информационных векторов (весу r информационного вектора). Такой способ построения кода с суммированием предполагает наличие одинаковых контрольных векторов у C_m^r информационных векторов с одинаковым весом. При этом распределение информационных векторов между контрольными векторами крайне неравномерно. Это является причиной достаточно большого числа необнаруживаемых кодом ошибок в информационных векторах. Общее число всех необнаруживаемых кодом Бергера ошибок определяется по формуле

$$N_m = \sum_{r=0}^m C_m^r (C_m^r - 1).$$

При этом (что очень важно для задач технической диагностики) $S(m, k)$ -код не обнаруживает высокий процент ошибок малых кратностей в информационных векторах. Установлено [20], что код Бергера вне зависимости от длины информационного вектора не обнаруживает $\beta_d = 2^{-d} C_d^{d/2}$ ошибок четной кратностью d . Например, $S(m, k)$ -кодом не обнаруживается 50 % двукратных и 37,5 % четырехкратных ошибок в информационных векторах.

Для улучшения показателей обнаружения ошибок кодами с суммированием разработаны алгоритмы модификации, позволяющие модифицированный код с суммированием «приблизить» к некоторому оптимальному коду, имеющему минимум необнаруживаемых ошибок в информационных векторах при данных значениях длин информационных и контрольных векторов [30, 31].

Построить модифицированный код с суммированием с улучшенными показателями обнаружения ошибок в информационных векторах можно с использованием способа, изложенного в работе [30]. Такой способ позволяет повысить эффективность обнаружения ошибок по сравнению с

классическим кодом Бергера приблизительно в два раза. Однако модифицированный код Бергера также не является оптимальным [30, 31].

Еще один способ улучшения показателей обнаружения ошибок в информационных векторах — модификация кода, основанная на приписывании разрядам информационных векторов весовых коэффициентов [27, 32—36]. В разряды контрольного вектора записывается двоичное число, равное сумме весовых коэффициентов единичных информационных разрядов. Свойства обнаружения ошибок взвешенным кодом с суммированием в значительной степени зависят от подбора весовых коэффициентов разрядов информационных векторов [37]. Однако взвешенные коды с суммированием также не являются оптимальными.

Процедуры взвешивания и модификации по описанным выше правилам можно совмещать, что при некоторых соотношениях между значениями весовых коэффициентов позволяет добиться построения оптимального кода [38].

Таблица 1

Номер п.п	Разряд информационного вектора				W	$[W]_2$	$(W)\text{mod}4$	$[(W)\text{mod}4]_2$	α	V	Разряд контрольного вектора				
	$w_{3,4} = 4$		$w_{2,3} = 2$								$w_{1,2} = 1$		g_3	g_2	g_1
	f_4	f_3	f_2	f_1											
0	0	0	0	0	0	000	0	00	0	0	0	0	0		
1	0	0	0	1	1	001	1	01	0	1	0	0	1		
2	0	0	1	0	3	011	3	11	0	3	0	1	1		
3	0	0	1	1	2	010	2	10	0	2	0	1	0		
4	0	1	0	0	6	110	2	10	0	2	0	1	0		
5	0	1	0	1	7	111	3	11	0	3	0	1	1		
6	0	1	1	0	5	101	1	01	0	1	0	0	1		
7	0	1	1	1	4	100	0	00	0	0	0	0	0		
8	1	0	0	0	4	100	0	00	1	4	1	0	0		
9	1	0	0	1	5	101	1	01	1	5	1	0	1		
10	1	0	1	0	7	111	3	11	1	7	1	1	1		
11	1	0	1	1	6	110	2	10	1	6	1	1	0		
12	1	1	0	0	2	010	2	10	1	6	1	1	0		
13	1	1	0	1	3	011	3	11	1	7	1	1	1		
14	1	1	1	0	1	001	1	01	1	5	1	0	1		
15	1	1	1	1	0	000	0	00	1	4	1	0	0		

Рассмотрим способ построения оптимального кода с суммированием, основанный на взвешивании не разрядов информационных векторов, а переходов между разрядами, занимающими соседние позиции в информационном векторе [39—43]. Данный код с суммированием назовем модифицированным кодом с суммированием взвешенных переходов.

А л г о р и т м построения оптимального кода с суммированием.

1. Каждому переходу между соседними разрядами в информационном векторе присваивается весовой коэффициент

$$w_{i,i+1} = 2^i, \quad (1)$$

где $i = 1, 2, \dots$ — номер позиции разряда в информационном векторе.

2. Вводится функция активизации перехода

$$t_{i,i+1} = f_i \oplus f_{i+1}. \quad (2)$$

3. Определяется сумма весовых коэффициентов активизированных переходов $w_{i,i+1}^*$:

$$W = \sum_{i=0}^{m-1} w_{i,i+1}^* = \sum_{i=0}^{m-1} t_{i,i+1} 2^i. \quad (3)$$

4. Устанавливается модуль $M = 2^{k-1}$, где $k = \lceil \log_2(m+1) \rceil$.

5. Определяется наименьший неотрицательный вычет числа W по модулю M : число $W \pmod{M}$.

6. Для каждого информационного вектора высчитывается поправочный коэффициент α как сумма по модулю два $m - k$ старших информационных разрядов:

$$\alpha = f_m \oplus f_{m-1} \oplus \dots \oplus f_{k+1}. \quad (4)$$

7. Определяется модифицированный вес информационного вектора:

$$V = (W) \pmod{M} + \alpha M. \quad (5)$$

8. Число V представляется в двоичном виде и записывается в разряды контрольного вектора.

Код, построенный по данному алгоритму, обозначим как $WT(m, k)$ -код. Для примера $WT(4, 3)$ -код представлен в табл. 1, из которой следует, что все $2^m = 2^4 = 16$ информационных векторов $WT(4, 3)$ -кода равномерно распределены между всеми $2^k = 2^3 = 8$ контрольными векторами, что является признаком оптимального кода [30]. При этом одному контрольному вектору соответствует по два информационных вектора с расстоянием Хэмминга, равным $d = 3$. Таким образом, $WT(4, 3)$ -код не обнаруживает 16 трехкратных ошибок в информационных векторах, в то время как $S(4, 3)$ -код

не обнаруживает 48 двукратных и 6 четырехкратных ошибок в информационных векторах, что в 3,375 раза больше, чем $WT(4, 3)$ -код [20].

Определим, что повлияло на характеристики обнаружения ошибок кодами при их модификации.

Утверждение 1. $WT(m, k)$ -код, реализованный в соответствии с предложенным алгоритмом, является оптимальным.

Следует заметить, что для получения суммарного веса активизированных переходов используется линейная функция (2). Для формирования веса активизированного перехода $w_{i,i+1}$ значение весового коэффициента i -го разряда умножается на функцию активизации, т.е. в i -й разряд двоичного числа, соответствующего весу перехода, записывается 0 или 1, а все остальные разряды заполняются нулями. Таким образом, двоичное число, соответствующее весу активизированного перехода, имеет вид $[w_{i,i+1}]_2 = A = \langle a_i a_{i-1} \dots a_1 \rangle : A = \langle 0 0 \dots 0 \rangle$ или $A = \langle 1 0 \dots 0 \rangle$. При получении суммарного веса активизированных переходов в двоичном представлении числа $[W]_2 = \langle w_i w_{i-1} \dots w_1 \rangle$ единицами заполняются только те разряды, которые соответствуют весовым коэффициентам активизированных переходов. Поскольку значения весовых коэффициентов выбираются из ряда $\{1, 2, 4, \dots, 2^{m-1}\}$, все возможные комбинации сумм весовых коэффициентов не повторяются и образуют ряд чисел: $W = \{0, 1, \dots, 2^m - 1\}$.

При выполнении шага 3 алгоритма с учетом (2) и свойства функции сложения по модулю два (при $f_i = 1, f_{i+1} = 0$ имеем $t_{i,i+1} = 1 \oplus 0 = 1$ и при $f_i = 1, f_{i+1} = 1$ имеем $t_{i,i+1} = 0 \oplus 1 = 1$) каждое число W повторяется дважды. При этом значения W будут одинаковыми для противоположных наборов с инверсными значениями одноименных разрядов (такие наборы расположены симметрично относительно середины таблицы истинности (см. табл. 1)). С увеличением на единицу номеров двоичных наборов $\langle f_1 f_2 \dots f_m \rangle$ в двоичных представлениях соответствующих чисел $[W]_2 = \langle w_i w_{i-1} \dots w_1 \rangle$ изменяется значение ровно одного разряда. Отсюда следует, что функции вычисления контрольных разрядов контрольного вектора являются линейными уже на этапе выполнения шага 3 алгоритма.

На следующем этапе построения кода определяются наименьшие неотрицательные вычеты суммарных весов информационных векторов по модулю $M = 2^{k-1}$, где $k = \lceil \log_2(m+1) \rceil$. Это соответствует операции отбрасывания старшего разряда числа $[W]_2$. Другими словами, числа $W \pmod{M}$ в таблице истинности снова располагаются так, что при увеличении номеров двоичных наборов $\langle f_1 f_2 \dots f_m \rangle$ в двоичных представлениях соответствующих чисел $W \pmod{M} = \langle w_{i-1} w_{i-2} \dots w_1 \rangle$ изменяется значение только одного разряда.

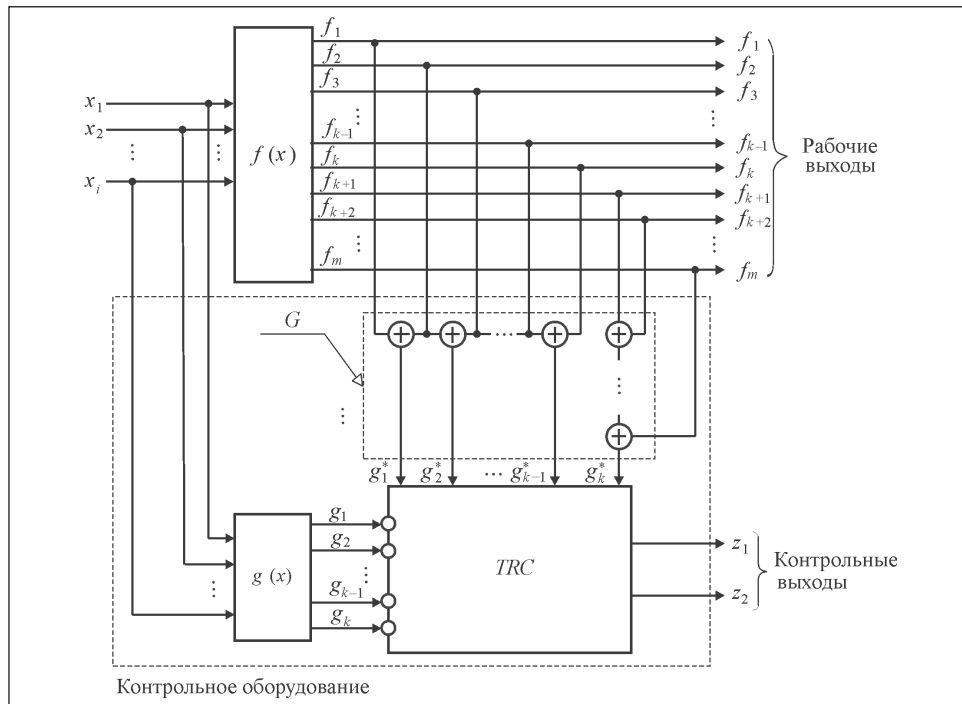


Рис. 4. Структурная схема СФК по модифицированному коду с суммированием взвешенных переходов

Модифицированный вес (5) фактически представляет собой число $V = \langle \alpha w_{i-1} \dots w_1 \rangle$, старший разряд которого вычисляется по линейной функции (4). Таким образом, функции вычисления разрядов контрольных векторов $WT(m, k)$ -кода являются линейными:

$$g_k = \alpha = f_m \oplus f_{m-1} \oplus \dots \oplus f_{k+1}. \quad (6)$$

$$g_{k-1} = f_{k-1} \oplus f_k,$$

$$g_{k-2} = f_{k-2} \oplus f_{k-1}, \quad (7)$$

$$\dots$$

$$g_1 = f_1 \oplus f_2.$$

Учитывая тот факт, что функция сложения по модулю два j -го числа переменных $f_1 \oplus f_2 \oplus \dots \oplus f_j$ при формировании всех наборов $\langle f_1 f_2 \dots f_j \rangle$ ровно на половине из них принимает значение 0 и ровно на половине из них — значение 1, можно сделать вывод о том, что все информационные векторы $WT(m, k)$ -кода распределены равномерно между всеми 2^k контрольными векторами. Это и есть признак того, что $WT(m, k)$ -код является оптимальным.

На рис. 4 представлена структурная схема СФК, организованная по оптимальному $WT(m, k)$ -коду, которая также как и схемы, представленные на

рис. 2 и 3, является стандартной, где генератор контрольных разрядов вычисляет стандартные функции вида (6) и (7). Сравнив структуры СФК по паритету и по $WT(m, k)$ -коду (см. рис. 3 и 4), заметим, что генератор $WT(m, k)$ -кода всегда имеет более простую структуру, чем генератор кода паритета. Известно, что для реализации функции паритета требуется $m - 1$ сумматоров по модулю два (см. рис. 3). При реализации генератора $WT(m, k)$ -кода вычисляется система $k = \lceil \log_2(m+1) \rceil$ контрольных функций такая, что $m - k$ информационных разрядов входят в одну функцию паритета, а k информационных разрядов с использованием $k - 1$ сумматоров по модулю определяют значения $k - 1$ контрольных функций $g_1^*, g_2^*, \dots, g_{k-1}^*$ (см. рис. 4). Для реализации первой требуется $m - k - 1$ сумматоров по модулю два, а для реализации второй — $k - 1$ сумматоров по модулю два, что в сумме составляет $m - k - 1 + k - 1 = m - 2$ сумматоров по модулю два. Таким образом, число сумматоров по модулю два, необходимых для реализации генератора $WT(m, k)$ -кода, на единицу меньше, чем требуется для построения генератора кода паритета. Несмотря на отмеченное преимущество $WT(m, k)$ -кода перед кодом паритета, СФК, организованная с его использованием, оказывается сложнее в технической реализации, чем структура контроля по паритету, так как требует наличия блока контрольной логики с большим числом выходов и компаратора для сравнения парафазных сигналов g_1, g_2, \dots, g_k и $g_1^*, g_2^*, \dots, g_k^*$.

Утверждение 2. В СФК, организованной по $WT(m, k)$ -коду, всегда обнаруживается большее число ошибок в контролируемой схеме, чем в СФК, построенной по коду паритета.

Действительно, поскольку $WT(m, k)$ -код и код паритета — оптимальны, число необнаруживаемых ошибок в них вычисляется так [30]:

$$N_m = 2^m(2^{m-k} - 1), \quad (8)$$

где $k = 1$ для кода паритета и $k = \lceil \log_2(m+1) \rceil$ для $WT(m, k)$ -кода. Результаты расчетов числа необнаруживаемых рассматриваемыми кодами ошибок приведены в табл. 2.

Введем специальный коэффициент эффективности обнаружения ошибок

$$\delta_m = \frac{N_m^{Par}}{N_m^{WT(m, k)}} = \frac{2^m(2^{m-1} - 1)}{2^m(2^{m-\lceil \log_2(m+1) \rceil} - 1)} = \frac{2^{m-1} - 1}{2^{m-\lceil \log_2(m+1) \rceil} - 1}, \quad (9)$$

который показывает, во сколько раз больше ошибок не обнаруживает код паритета, чем $WT(m, k)$ -код. Преобразуем выражение (9) к виду

$$\delta_m = \frac{2^{m-1} - 1}{2^{m-\lceil \log_2(m+1) \rceil} - 1} = \frac{\frac{2^{m-1}}{2^{m-\lceil \log_2(m+1) \rceil}} - \frac{1}{2^{m-\lceil \log_2(m+1) \rceil}}}{\frac{1}{2^{m-\lceil \log_2(m+1) \rceil}} - \frac{1}{2^{m-\lceil \log_2(m+1) \rceil}}} =$$

$$= \frac{2^{\lceil \log_2(m+1) \rceil - 1} - \frac{1}{2^{m - \lceil \log_2(m+1) \rceil}}}{1 - \frac{1}{2^{m - \lceil \log_2(m+1) \rceil}}} \approx 2^{\lceil \log_2(m+1) \rceil - 1}.$$

Из табл. 2 следует, что при $m > 10$ значение δ_m достаточно точно можно аппроксимировать величиной $2^{\lceil \log_2(m+1) \rceil - 1}$. Таким образом, $WT(m, k)$ -код не обнаруживает приблизительно в $2^{\lceil \log_2(m+1) \rceil - 1}$ меньше ошибок в информационных векторах, чем код паритета. Это свойство, несомненно, является преимуществом предлагаемого оптимального кода.

Из формул (8), (9) и табл. 2 вытекает следующее свойство рассматриваемых оптимальных кодов.

Таблица 2

m	N_m		δ_m
	Код паритета	$WT(m, k)$ -код	
2	4	0	—
3	24	8	3
4	112	16	7
5	480	96	5
6	1984	448	4,429
7	8064	1920	4,2
8	32512	3840	8,467
9	130560	15872	8,226
10	523264	64512	8,111
11	2095104	260096	8,055
12	8384512	1044480	8,027
13	33546240	4186112	8,014
14	134201344	16760832	8,007
15	536838144	67076096	8,003
16	2147418112	134152192	16,007
17	8589803520	536739840	16,004
18	34359476224	2147221504	16,002
19	137438429184	8589410304	16,001
20	549754765312	34358689792	16
50	$6,33825 \cdot 10^{29}$	$1,9807 \cdot 10^{28}$	32
100	$8,03469 \cdot 10^{59}$	$1,25542 \cdot 10^{58}$	64
200	$1,2911 \cdot 10^{120}$	$1,0087 \cdot 10^{118}$	128

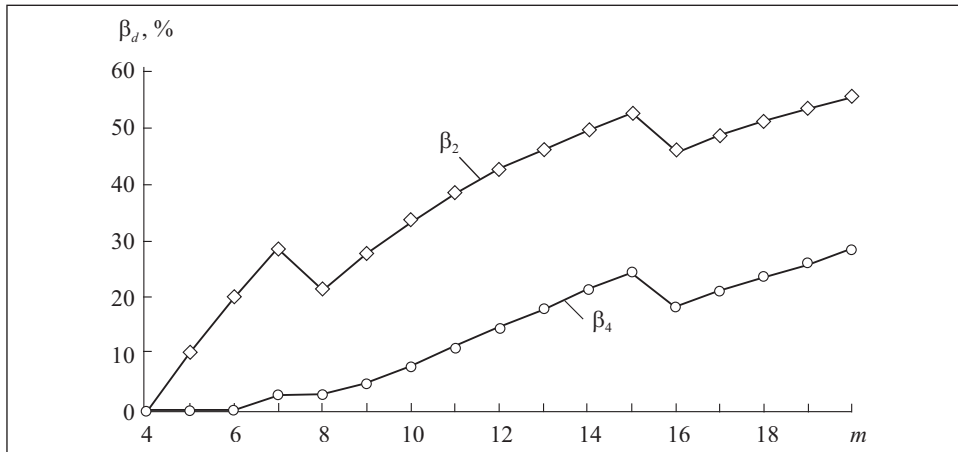


Рис. 5. Графики зависимостей величин β_2 и β_4 от значения m

Свойство. Если длины информационных векторов находятся в диапазоне $2^{\lceil \log_2(m+1) \rceil - 1} < m < 2^{\lceil \log_2(m+1) \rceil}$, то при увеличении значения m в пределах этого диапазона значение δ_m уменьшается и стремится к величине $2^{\lceil \log_2(m+1) \rceil - 1}$. Например, для $8 < m < 15$ значение δ_m уменьшается от $\delta_8 = 8,467$ до $\delta_{15} = 8,003$.

Для определения свойств обнаружения ошибок $WT(m, k)$ -кодом разработан специальный программный модуль, реализующий операции алгоритма, а затем анализирующий группы контрольных векторов. В табл. 3 приведены показатели обнаружения ошибок $WT(m, k)$ -кодами при $m = 4 \div 16$: абсолютная величина $N_{m,d}$ (число ошибок кратностью d) и относительная величина β_d . На рис. 5 представлены графики изменения величин β_2 и β_4 в зависимости от длин информационных векторов.

Анализируя данные табл. 3 и рис. 5, можно установить следующие особенности:

$WT(4, 3)$ -код обнаруживает 100 % двукратных искажений в информационных векторах.

$WT(m, k)$ -коды с длинами информационных векторов $8 < m < 15$ обнаруживают 100 % ошибок нечетных кратностей.

$WT(m, k)$ -коды в диапазоне длин информационных векторов $4 < m < 7$ не обнаруживают 100 % ошибок максимальной кратности $d = m$, если m — нечетное, а в диапазоне длин информационных векторов $8 < m < 15$ они не обнаруживают 100 % ошибок максимальной кратности $d = m$, если m — четное.

Таблица 3

m	k	Число обнаруживаемых ошибок $N_{m,d}$ и величина β_d														N_m				
		1	2	3	4	5	6	7	8	9	10	11	12	13	14		15	16		
4	3	0	0	16	0	0	0	0	0	0	0	0	0	0	0	0	0	16	16	6,67
5	3	0	32	0	0	32	0	0	0	0	0	0	0	0	0	0	0	0	96	9,68
6	3	0	192	0	0	192	0	0	0	0	0	0	0	0	0	0	0	0	448	11,11
7	3	0	768	128	768	0	128	0	0	0	0	0	0	0	0	0	0	0	1920	11,81
8	4	0	1536	0	512	0	1536	0	256	0	0	0	0	0	0	0	0	0	3840	5,88
9	4	0	5120	0	3072	0	5120	0	2560	0	0	0	0	0	0	0	0	0	15872	6,07
10	4	0	15360	0	16384	0	16384	0	15360	0	1024	0	0	0	0	0	0	0	64512	6,16
11	4	0	43008	0	73728	0	73728	0	71680	0	14336	0	0	0	0	0	0	0	260096	6,20
12	4	0	114688	0	290816	0	290816	0	290816	0	290816	0	4096	0	0	0	0	0	1044480	6,23
13	4	0	294912	0	1040384	0	1040384	0	1105920	0	688128	0	73728	0	0	0	0	0	4186112	6,24
14	4	0	737280	0	3457022	0	3457022	0	4177920	0	3457024	0	737280	0	16384	0	0	0	16760832	6,24
15	4	0	1802240	0	10846208	0	10846208	0	16220160	0	15499264	0	5406720	0	360448	0	0	0	67076096	6,25
16	5	0	3604480	0	21626880	0	21626880	0	3604480	0	720896	0	10813440	0	10813440	0	720896	0	134152192	3,12

Примечание: над чертой — $N_{m,d}$, под чертой — N_m , под чертой — доля обнаруживаемых ошибок кратностью d от общего числа ошибок данной кратностью в процентах

С увеличением длины информационного вектора при постоянном значении числа контрольных разрядов увеличиваются значения β_2 и β_4 .

$WT(m, k)$ -коды в диапазоне длин информационных векторов $4 < m < 6$ обнаруживают 100 % четырехкратных ошибок.

(Продолжение статьи см. в № 1, 16)

СПИСОК ЛИТЕРАТУРЫ

1. *McCluskey E.J.* Logic Design Principles: With Emphasis on Testable Semicustom Circuits.— N.J.: Prentice Hall PTR, 1986. — 549 p.
2. *Smolens J.C., Jangwoo Kim, Hoe J.C., Falsafi B.* Understanding the Performance of Concurrent Error Detecting Superscalar Microarchitectures // Proc. of the Fifth IEEE International Symposium on Signal Processing and Information Technology. — Athens, Greece, 21 December, 2005. — P. 13—18.
3. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. — N. J.: John Wiley & Sons, 2006. — 720 p.
4. *Choudhury M.R., Mohanram K.* Approximate Logic Circuits for Low Overhead, Non-Intrusive Concurrent Error Detection // Proc. of the conf. on Design, automation and test in Europe (DATE'08).— Munich, Germany, 10-14 March, 2008. — P. 903—908.
5. *Theeg G., Vlasenko S.* Railway Signalling & Interlocking — International Compendium. — Eurailpress, 2009.— 448 p.
6. *Bousselam K., Di Natale G., Flottes M., Rouzeyre B.* Evaluation of Concurrent Error Detection Techniques on the Advanced Encryption Standard // Proc. of 16th IEEE International On-Line Testing Symposium (IOLTS). — Corfu, Greece, 5-7 July, 2010. — P. 223 — 228.
7. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). — Information Science Reference, Hershey. — NY: IGI Global, 2011. — 578 p.
8. *Goessel M., Graf S.* Error Detection Circuits. — London: McGraw-Hill, 1994. — 261 p.
9. *Lala P.K.* Self-checking and Fault-tolerant Digital Design. — University of Arkansas, 2001. — 216 p.
10. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. — М.: Радио и связь, 1989. — 208 с.
11. *Сапожников В.В., Сапожников Вл.В.* Самопроверяемые дискретные устройства.— СПб: Энергоатомиздат, 1992. — 224 с.
12. *Пархоменко П.П., Согомонян Е.С.* Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратурные средства). — М. : Энергоатомиздат, 1981. — 320 с.
13. *Слабаков Е.В., Согомонян Е.С.* Самопроверяемые вычислительные устройства и системы (обзор) // Автоматика и телемеханика. — 1981. — № 11. — С. 147—167.
14. *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. — Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. — 111 p.
15. *Touba N.A., McCluskey E.J.* Logic Synthesis of Multilevel Circuits with Concurrent Error Detection // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. — 1997. — Vol. 16, Jul. — P. 783—789.
16. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications. — 1998. — Iss. 12. — P. 7—20.
17. *Mitra S., McCluskey E.J.* Which Concurrent Error Detection Scheme to Choose? // Proc. of Intern. Test Conference, 2000. — USA, Atlantic City, NJ, 03-05 October, 2000. — P. 985—994.

18. *Matrosova A., Levin I., Ostanin S.* Survivable Self-Checking Sequential Circuits // Proc. of 2001 IEEE Intern. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT 2001). — CA San Francisco, 24-26 October, 2001. — P. 395—402.
19. *Kastensmidt F.L., Carro L., Reis R.* Fault-Tolerance Techniques for SRAM-based. — Dordrecht: Springer, 2006. — 183 p.
20. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* О свойствах кода с суммированием в схемах функционального контроля // Автоматика и телемеханика. — 2010. — № 6. — С. 155—162.
21. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Применение кодов с суммированием при синтезе систем железнодорожной автоматики и телемеханики на программируемых логических интегральных схемах // Автоматика на транспорте. — 2015. — 1, № 1. — С. 84—107.
22. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Обнаружение опасных ошибок на рабочих выходах комбинационных логических схем // Там же. — 2015. — 1, № 2. — С. 195—211.
23. *Согомонян Е.С.* Построение самопроверяемых схем встроенного контроля для комбинационных устройств // Автоматика и телемеханика. — 1974. — № 2. — С. 121—133.
24. *Аксенова Г.П.* Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Там же. — 1979. — № 9. — С. 126—135.
25. *Ghosh S., Basu S., Touba N.A.* Synthesis of Low Power CED Circuits Based on Parity Codes // Proc. of 23rd IEEE VLSI Test Symposium (VTS'05). — 2005. — P. 315—320.
26. *Palframan D.J., Nam Sung Kim, Lipasti M.H.* Time redundant parity for low-cost transient error detection // Proc. of the conference on Design, automation and test in Europe (DATE' 11). — Grenoble, France, 14-18 March, 2011. — P. 1—6.
27. *Berger J.M.* A Note on Error Detecting Codes for Asymmetric Channels // Information and Control. — 1961. — Vol. 4, Iss. 1. — P. 68—73.
28. *Bose B., Lin D.J.* Systematic Unidirectional Error-Detection Codes // IEEE Trans. Comput. — 1985. — Vol. C-34, Nov. — P. 1026—1032.
29. *Das D., Touba N.A.* Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes // J. of Electronic Testing: Theory and Applications. — 1999. — Vol. 15, Iss. 1-2. — P. 145—155.
30. *Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Построение модифицированного кода Бергера с минимальным числом необнаруживаемых ошибок информационных разрядов // Электрон. моделирование. — 2012. — 34, № 6. — С. 17—29.
31. *Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* О кодах с суммированием единичных разрядов в системах функционального контроля // Автоматика и телемеханика. — 2014. — № 8. — С. 131—145.
32. *Berger J.M.* A Note on Burst Detecting Sum Codes // Information and Control. — 1961. — Vol. 4, Iss. 2-3. — P. 297—299.
33. *Das D., Touba N.A.* Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits // Proc. of the 17th IEEE VLSI Test Symposium. — USA, CA, Dana Point, 25-29 April, 1999. — P. 370—376.
34. *Das D., Touba N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proc. of the 6th IEEE International On-Line Testing Workshop (IOLTW). — Spain, Palm de Mallorca, July 3-5, 2000. — P. 171—176
35. *Ghosh S., Lai K.W., Jone W.B., Chang S.C.* Scan Chain Fault Identification Using Weight-Based Codes for SoC Circuits // Proc. of the 13th Asian Test Symposium. — Taiwan, Kenting, 15-17 November, 2004. — P. 210—215.
36. *Srihari P.* Sum Codes: A Binary Channel Coding Scheme // International Journal of Computer Science and Technology. — 2014. — Vol. 5, Iss. 1. — P. 60—64.

37. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Взвешенные коды с суммированием для организации контроля логических устройств // Электрон. моделирование. — 2014. — 36, № 1. — С. 59—80.
38. Efanov D., Sapozhnikov V., Sapozhnikov Vl., Nikitin D. Sum Code Formation with Minimum Total Number of Undetectable Errors in Data Vectors // Proc. of 13th IEEE East-West Design & Test Symposium (EWDTS'2015).— Batumi, Georgia, 26-29 September, 2015. — P. 141— 148.
39. Sapozhnikov V., Sapozhnikov Vl. New Code for Fault Detection in Logic Circuits // Proc. 4th Int. Conf. on Unconventional Electromechanical and Electrical Systems.— St. Petersburg, Russia, 21-24 June, 1999. — P. 693—696.
40. Mehov V., Sapozhnikov V., Sapozhnikov Vl., Urganskov D. Concurrent Error Detection Based on New Code with Modulo Weighted Transitions between Information Bits // Proc. of 7th IEEE East-West Design & Test Workshop (EWDWTW'2007).— Erevan, Armenia, 25-30 September, 2007. — P. 21—26.
41. Мехов В.Б., Сапожников В.В., Сапожников Вл.В. Контроль комбинационных схем на основе модифицированных кодов с суммированием // Автоматика и телемеханика. — 2008. — № 8. — С. 153—165.
42. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Дмитриев В.В. Свойства кодов с суммированием взвешенных переходов с прямой последовательностью весовых коэффициентов // Информатика и системы управления. — 2014. — № 4. — С. 77—88.
43. Sapozhnikov V., Sapozhnikov Vl., Efanov D., Dmitriev V., Cherepanova M. Optimum Sum Codes, that Effectively Detect the Errors of Low Multiplicities // RadioElectronics & Informatics. — 2015. — № 1. — P. 17—22.
44. Busaba F.Y., Lala P.K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // J. of Electronic Testing: Theory and Applications.— 1994. — Iss. 5. — P. 19—28.
45. Sapozhnikov V.V., Morosov A., Sapozhnikov Vl.V., Göessel M. A New Design Method for Self-Checking Unidirectional Combinational Circuits // Ibid. — 1998. — Vol. 12, Iss. 1-2. — P. 41—53.
46. Benchmarks: LGSynth89. — [Электронный ресурс]. — Режим доступа: <http://www.cbl.ncsu.edu:16080/benchmarks/LGSynth89/mlexamples/>.
47. Collection of Digital Design Benchmarks. — [Электронный ресурс]. — Режим доступа: <http://ddd.fit.cvut.cz/prj/Benchmarks/>.
48. Yang S. Logic Synthesis and Optimization Benchmarks User Guide: Version 3.0 // Technical Report 1991-IWLS-UG-Saeyang, MCNC. — 44 p.
49. Sentovich E.M., Singh K.J., Lavagno L. et al. SIS: A System for Sequential Circuit Synthesis // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science. — Berkeley: University of California, 1992. — 45 p.

V.V. Sapozhnikov, Vl.V. Sapozhnikov, D.V. Efanov, V.V. Dmitriev, M.R. Cherepanova

ORGANIZATION OF COMBINATIONAL CIRCUITS CONCURRENT ERROR DETECTION SYSTEMS BASED ON THE MODIFIED CODE WITH SUMMATION OF WEIGHTED TRANSITIONS

The authors adduce a way of formation of a code with summation, that is based on the weighting of transitions between adjacent bits in data vector and operations with transitions weight indexes. The consequence has been established for weight indexes and simple rules of modification of the code with summation of weighted transitions that allow us to form optimal, from the point of view of the minimum number of data bits undetectable errors, codes. It is shown that new codes allow organizing the concurrent error detection systems with lowered redundancy.

Keywords: concurrent error detection system, testable system, hardware redundancy, error detection, duplication system, parity-based check system, code with summation, Berger code, optimal code with summation, code with summation of weighted transition, modified code with summation of weighted transition, benchmark circuits.

REFERENCES

1. McCluskey, E.J. (1986), Logic design principles: with emphasis on testable semicustom circuits, Prentice Hall PTR, New Jersey, USA.
2. Smolens, J.C., Jangwoo, Kim, Hoe, J.C. and Falsafi, B. (2005), "Understanding the performance of concurrent error detecting superscalar microarchitectures", *Proceedings of the 5th IEEE International Symposium on Signal Processing and Information Technology*, Athens, Greece, December 21, 2005, pp. 13-18.
3. Fujiwara, E. (2006), Code design for dependable systems: theory and practical applications, John Wiley & Sons, New Jersey, USA.
4. Choudhury, M.R. and Mohanram, K. (2008), "Approximate logic circuits for low overhead, non-intrusive concurrent error detection", *Proceedings of the Conference on Design, Automation and Test in Europe (DATE'08)*, Munich, Germany, March 10-14, 2008, pp. 903-908.
5. Theeg, G. and Vlasenko, S. (2009), Railway signalling & interlocking, International compendium, Eurailpress, Hessen, Germany.
6. Bousselam, K., Di Natale, G., Flottes, M. and Rouzeyre, B. (2010), "Evaluation of concurrent error detection techniques on the advanced encryption standard", *Proceedings of 16th IEEE International On-Line Testing Symposium (IOLTS)*, Corfu, Greece, July 5-7, 2010, pp. 223-228.
7. Ubar, R., Raik, J. and Vierhaus, H.-T. (2011), "Design and test technology for dependable systems-on-chip", *Information Science Reference*, IGI Global, Hershey, New York, USA.
8. Goessel, M. and Graf, S. (1994), Error detection circuits, McGraw-Hill, London, UK.
9. Lala, P.K. (2001), Self-checking and fault-tolerant digital design, Morgan Kaufmann Publishers, USA.
10. Sogomonyan, E.S. and Slabakov, E.V. (1989), *Samoproveryaemye ustroystva i otkazoustoichivyye sistemy* [Self-checking devices and failover systems], Radio i svyaz, Moscow, Russia.
11. Sapozhnikov, V.V. and Sapozhnikov, V.I. (1992), *Samoproveryaemye diskretnyye ustroystva* [Self-checking digital devices], Energoatomizdat, St. Petersburg, Russia.
12. Parkhomenko, P.P. and Sogomonyan, E.S. (1981), *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnyye sredstva)* [Bases of technical diagnostics (optimization of diagnostic algorithms and equipment)], Energoatomizdat, Moscow, Russia.
13. Slabakov, E.V. and Sogomonyan, E.S. (1981), "Self-checking computing devices and systems (review)", *Avtomatika i telemekhanika*, no. 11, pp. 147-167.
14. Piestrak, S.J. (1995), Design of self-testing checkers for unidirectional error detecting codes, Oficyna Wydawnicza Politechniki Wrocławskiej, Wrocław, Poland.
15. Touba, N.A. and McCluskey, E.J. (1997), "Logic synthesis of multilevel circuits with concurrent error detection", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, pp. 783-789.
16. Nicolaidis, M. and Zorian, Y. (1998), "On-line testing for VLSI, a compendium of approaches", *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20.
17. Mitra, S. and McCluskey, E.J. (2000), "Which concurrent error detection scheme to choose?", *Proceedings of International Test Conference*, USA, Atlantic City, NJ, October 03-05, 2000, pp. 985-994.

18. Matrosova, A., Levin, I. and Ostanin, S. (2001), "Survivable self-checking sequential circuits", *Proceedings of 2001 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT 2001)*, San Francisco, California, October 24-26, 2001, pp. 395-402.
19. Kastensmidt, F.L., Carro, L. and Reis, R. (2006), *Fault-tolerance techniques for SRAM-based*, Springer, Dordrecht, Netherlands.
20. Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, VI.V. (2010), "On summation code properties in concurrent error detection systems", *Avtomatika i telemekhanika*, no. 6, pp. 155-162.
21. Sapozhnikov, V.V., Sapozhnikov, VI.V. and Efanov, D.V. (2015), "Application of summation codes for synthesis of railway automation and remote control systems using programmable logic integrated circuits", *Avtomatika na transporte*, Vol. 1, no. 1, pp. 84-107.
22. Sapozhnikov, V.V., Sapozhnikov, VI.V. and Efanov, D.V. (2015), "Dangerous errors detection at the operational outputs of combinational logic circuits", *Avtomatika na transporte*, Vol. 1, no. 2, pp. 195-211.
23. Sogomonyan, E.S. (1974), "Design of inbuilt test self-checking circuits for combinational devices", *Avtomatika i telemekhanika*, no. 2, pp. 121-133.
24. Aksyonova, G.P. (1979), "Necessary and sufficient conditions for the design of totally checking circuits of compression by modulo 2", *Avtomatika i telemekhanika*, no. 9, pp. 126-135.
25. Ghosh, S., Basu, S. and Touba, N.A. (2005), "Synthesis of low power CED circuits based on parity codes", *Proceedings of the 23rd IEEE VLSI Test Symposium (VTS'05)*, Palm-Springs, CA, May 1-5, 2005, pp. 315-320.
26. Palframan, D.J., Nam Sung Kim and Lipasti, M.H. (2011), "Time redundant parity for low-cost transient error detection", *Proceedings of the Conference on Design, Automation and Test in Europe (DATE'11)*, Grenoble, France, March 14-18, 2011, pp. 1-6.
27. Berger, J.M. (1961), "A note on error detecting codes for asymmetric channels", *Information and Control*, Vol. 4, Iss. 1, pp. 68-73.
28. Bose, B. and Lin, D.J. (1985), "Systematic unidirectional error-detection codes", *IEEE Trans. Comput.*, Vol. C-34, no. 11, pp. 1026-1032.
29. Das, D. and Touba, N.A. (1999), "Synthesis of circuits with low-cost concurrent error detection based on Bose-Lin codes", *Journal of Electronic Testing: Theory and Applications*, Vol. 15, Iss. 1-2, pp. 145-155.
30. Blyudov, A.A., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, VI.V. (2012), "Formation of modified Berger code with minimum number of undetectable errors of data bits", *Elektronnoe modelirovanie*, Vol. 34, no. 6, pp. 17-29.
31. Blyudov, A.A., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, VI.V. (2014), "On sum codes of unit bits in concurrent error detection systems", *Avtomatika i telemekhanika*, no. 8, pp. 131-145.
32. Berger, J.M. (1961), "A note on burst detecting sum codes", *Information and Control*, Vol. 4, Iss. 2-3, pp. 297-299.
33. Das, D. and Touba, N.A. (1999), "Weight-based codes and their application to concurrent error detection of multilevel circuits", *Proceedings of the 17th IEEE VLSI Test Symposium*, Dana Point, California, USA, April 25-29, 1999, pp. 370-376.
34. Das, D., Touba, N.A., Seuring, M. and Gossel, M. (2000), "Low cost concurrent error detection based on modulo weight-based codes", *Proceedings of the 6th IEEE International On-Line Testing Workshop (IOLTW)*, Palma de Mallorca, Spain, July 3-5, 2000, pp. 171-176.
35. Ghosh, S., Lai, K.W., Jone, W.B. and Chang, S.C. (2004), "Scan chain fault identification using weight-based codes for SoC circuits", *Proceedings of the 13th Asian Test Symposium*, Taiwan, Kenting, November 15-17, 2004, pp. 210-215.

36. Srihari, P. (2014), "Sum codes: a binary channel coding scheme", *International Journal of Computer Science and Technology*, Vol. 5, Iss. 1, pp. 60-64.
37. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2014), "Weighted sum codes for control organization of logic units", *Elektronnoe modelirovanie*, Vol. 36, no. 1, pp. 59-80.
38. Efanov, D., Sapozhnikov, V., Sapozhnikov, V.I. and Nikitin, D. (2015), "Sum code formation with minimum total number of undetectable errors in data vectors", *Proceedings of the 13th IEEE East-West Design & Test Symposium (EWDTS'2015)*, Batumi, Georgia, September 26-29, 2015, pp. 141-148.
39. Sapozhnikov, V. and Sapozhnikov, V.I. (1999), "New code for fault detection in logic circuits", *Proceedings of the 4th International Conference on Unconventional Electromechanical and Electrical Systems*, St. Petersburg, Russia, June 21-24, 1999, pp. 693-696.
40. Mehov, V., Sapozhnikov, V., Sapozhnikov, V.I. and Urganskov, D. (2007), "Concurrent error detection based on new code with modulo weighted transitions between information bits", *Proceedings of the 7th IEEE East-West Design & Test Workshop (EWDTW'2007)*, Erevan, Armenia, September 25-30, 2007, pp. 21-26.
41. Mehov, V.B., Sapozhnikov, V.V. and Sapozhnikov, V.I. (2008), "Checking of combinational circuits basing on modification sum codes", *Avtomatika i telemekhanika*, no. 8, pp. 153-165.
42. Sapozhnikov, V.V., Sapozhnikov, V.I., Efanov, D.V. and Dmitriev, V.V. (2014), "Properties of sum codes with weighted transitions with direct sequence of weight factors", *Informatika i sistemy upravleniya*, no. 4, pp. 77-88.
43. Sapozhnikov, V., Sapozhnikov, V.I., Efanov, D., Dmitriev, V. and Cherepanova, M. (2015), "Optimum sum codes, that effectively detect the errors of low multiplicities", *Radio Electronics & Informatics*, no. 1, pp. 17-22.
44. Busaba, F.Y. and Lala, P.K. (1994), "Self-checking combinational circuit design for single and unidirectional multibit errors", *Journal of Electronic Testing: Theory and Applications*, Iss. 5, pp. 19-28.
45. Sapozhnikov, V.V., Morosov, A., Sapozhnikov, V.I. and Göessel, M. (1998), "A new design method for self-checking unidirectional combinational circuits", *Journal of Electronic Testing: Theory and Applications*, Vol. 12, Iss. 1-2, pp. 41-53.
46. "Benchmarks: LGSynth89", available at: <http://www.cbl.ncsu.edu:16080/benchmarks/LGSynth89/mlexamples/>
47. "Collection of digital design benchmarks", available at: <http://ddd.fit.cvut.cz/prj/Benchmarks/>.
48. Yang, S. (1991), "Logic synthesis and optimization benchmarks user guide: Version 3.0", *Technical Report*, 1991-IWLS-UG-Saeyang, MCNC, USA.
49. Sentovich, E.M., Singh, K.J., Lavagno, L., Moon, C., Murgai, R., Saldanha, A., Savoj, H., Stephan, P.R., Brayton, R.K. and Sangiovanni-Vincentelli, A. (1992), "SIS: a system for sequential circuit synthesis", Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, USA.

Поступила 04.09.15

САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежность синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

ЕФАНОВ Дмитрий Викторович, канд. техн. наук, доцент кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2007 г. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.

ДМИТРИЕВ Вячеслав Владимирович, ассистент кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2007 г. Область научных исследований — дискретная математика, программирование и моделирование.

ЧЕРЕПАНОВА Мария Родионовна, студент факультета «Автоматизация и интеллектуальные технологии» Петербургского государственного университета путей сообщения Императора Александра I. Область научных исследований — автоматика и дискретная математика.